

multivalued mask read-only memory

Patent number: DE10005460
Publication date: 2001-01-25
Inventor: KUMAGAI KOUICHI (JP)
Applicant: NIPPON ELECTRIC CO (JP)
Classification:
International: G11C17/10
European: G11C11/56R, G11C17/12
Application number: DE20001005460 20000208
Priority number(s): JP19990030680 19990208; JP19990196765 19990709

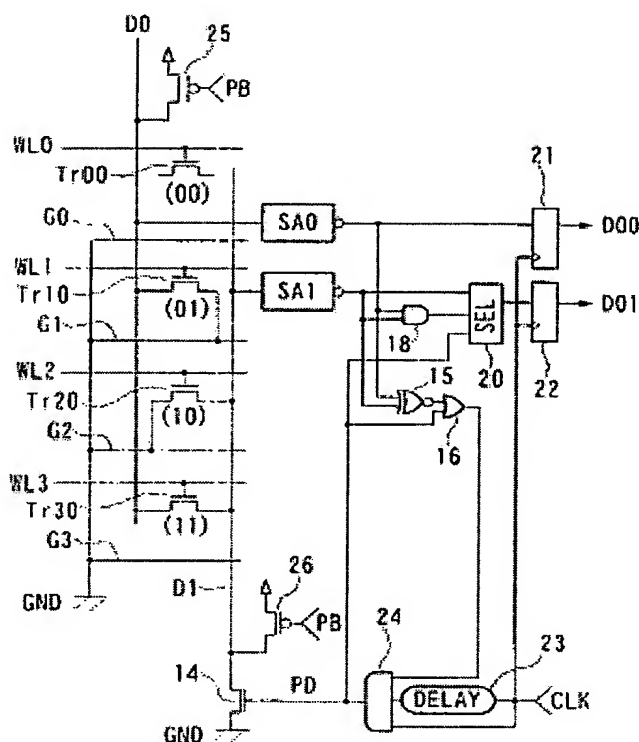
Also published as:

US 6243284 (B1)
J P2000299394 (A)

Abstract not available for DE10005460

Abstract of correspondent: **US6243284**

A multivalued mask ROM is configured by arranging cell transistors in a matrix form, which is defined by wiring word lines and ground lines in rows and by wiring bit lines in columns. Each of the cell transistors is encompassed by a word line, a ground line and at least two bit lines. Herein, gates of the cell transistors which align in a same row are connected with a same word line, while sources and drains of the cell transistors are adequately connected or disconnected with the ground line and bit lines. In an integrated circuit, contacts are formed between n+ regions, first-layer metal and second-layer metal on a well region to establish connections by which the source and drain of the cell transistor are adequately connected with the ground line and/or bit lines. That is, ROM codes are formed using the contacts. A circuitry is provided for the multivalued mask ROM to read out stored information of the cell transistors in synchronization with a clock signal. In Low-level duration of the clock signal, the circuitry performs precharge to a first bit line and pull-down to a second bit line. In High-level duration of the clock signal, the circuitry stops the precharge and pull-down while activating the word line to detect levels of the first and second lines, which are used as values for a two-bit code corresponding to stored information of the cell transistor.



Data supplied from the *esp@cenet* database - Worldwide



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

①② **Offenlegungsschrift**
①⑩ **DE 100 05 460 A 1**

⑤① Int. Cl.⁷:
G 11 C 17/10

②① Aktenzeichen: 100 05 460.9
②② Anmeldetag: 8. 2. 2000
④③ Offenlegungstag: 25. 1. 2001

DE 100 05 460 A 1

③⑩ Unionspriorität:
11-030680 08. 02. 1999 JP
11-196765 09. 07. 1999 JP

⑦① Anmelder:
NEC Corp., Tokio/Tokyo, JP

⑦④ Vertreter:
Betten & Resch, 80469 München

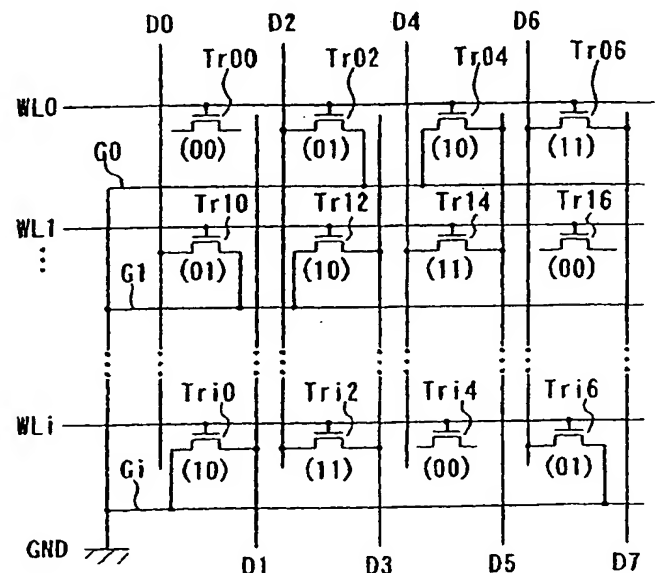
⑦② Erfinder:
Kumagai, Kouichi, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Mehrwert-Masken-Nurlesespeicher

⑤⑦ Ein Mehrwert-Masken-ROM ist durch Anordnen von Zellentransistoren (Tr00-Tri6) in einer Matrixform aufgebaut, welche durch Verdrahten von Wortleitungen (WLO-WLi) und Erdleitungen (GO-Gi) in Zeilen und durch Verdrahten von Bitleitungen (D0-D7) in Spalten definiert ist. Jeder der Zellentransistoren ist durch eine Wortleitung, eine Erdleitung und wenigstens zwei Bitleitungen umgeben. Hierbei sind Gate-Anschlüsse der Zellentransistoren, die sich in einer selben Zeile erstrecken, mit einer selben Wortleitung verbunden, während Source-Anschlüsse und Drain-Anschlüsse der Zellentransistoren adäquat mit der Erdleitung und den Bitleitungen verbunden oder von diesen getrennt sind. In einer integrierten Schaltung sind Kontakte zwischen n⁺-Bereichen (9), einer ersten Metallschicht (3) und einer zweiten Metallschicht (12) auf einem Wannenbereich (8) ausgebildet, um Verbindungen bzw. Anschlüsse zu bilden, durch welche der Source-Anschluß und der Drain-Anschluß des Zellentransistors adäquat mit der Erdleitung und/oder den Bitleitungen verbunden werden. Das bedeutet, daß ROM-Codes unter Verwendung der Kontakte ausgebildet werden. Eine Schaltung ist für den Mehrwert-Masken-ROM zum Auslesen gespeicherter Informationen der Zellentransistoren synchron zu einem Taktsignal (CLK) vorgesehen. Bei einer Dauer des Taktsignals mit niedrigem Pegel führt die Schaltung ein Vorladen zu einer ersten Bitleitung (D0) und ein Herunterziehen zu einer zweiten Bitleitung (D1) durch. Bei einer Dauer des ...



DE 100 05 460 A 1

HINTERGRUND DER ERFINDUNG

Gebiet der Erfindung

Diese Erfindung betrifft Mehrwert-Masken-Nurlesespeicher, die entworfen sind, um Informationen von mehreren Bits in einer einzigen Speicherzelle zu speichern.

Diese Anmeldung basiert auf der Patentanmeldung Nr. Hei 11-30680 und der Patentanmeldung Nr. Hei 11-96765, die beide in Japan eingereicht sind und deren Inhalte hierin durch Bezugnahme enthalten sind.

Beschreibung des zugehörigen Standes der Technik

Im allgemeinen ist eine Technologie von mehrwertigen Zellen, die jeweils Informationen von mehreren Bits speichern, zum Aktualisieren großer Kapazitäten für Nurlesespeicher (oder ROMs) bekannt. Die erste Veröffentlichung der japanischen Patentanmeldung Nr. Hei 8-297982 offenbart ein Beispiel eines Mehrwert-Masken-ROMs, wobei Codes bei einer Herstellung durch Ändern von Schwellen (V_t) von Zellentransistoren zu einem ROM geschrieben werden. Fig. 9 ist ein Schaltungsdiagramm, das einen Teil einer Zellenmatrix zeigt, die für den vorgenannten Mehrwert-Masken-ROM verwendet wird. Hierbei sind Schwellen V_{t0} , V_{t1} , V_{t2} , V_{t3} jeweils zu Transistoren M00, M10, M01, M11 eingestellt, wobei sich jene Schwellen gemäß einer Beziehung von $V_{t0} < V_{t1} < V_{t2} < V_{t3}$ voneinander unterscheiden. Beispielsweise wird eine Wortleitung ausgewählt und in bezug auf ein elektrisches Potential über drei Stufen, wie sie in Fig. 10 gezeigt sind, von einem Null-Pegel zu einem vorgeschriebenen Pegel geändert. Somit ist es möglich, 2-Bit-Informationen aus dem Transistor M00 oder M01 auszulesen.

Zum Ändern von ROM-Codes des Mehrwert-Masken-ROM bei einer Herstellung werden die Schwellen V_t durch Ändern einer Kanal-Ionenimplantation zu den Zellentransistoren geändert.

Jedoch leidet die vorgenannte Technik an Problemen, wie es folgt:

Ein erstes Problem wird durch eine Ausbildung von ROM-Codes verursacht, die durch die Kanal-Ionenimplantation vor einer Ausbildung von Gates ausgebildet werden. Bei einer Prüfung der ROM-Codes ist es nötig, Masken in unteren Schichten von integrierten Schaltungen zu ändern. Solche Änderungen beeinflussen Nach-Prozesse bei einer Herstellung der integrierten Schaltungen verschiedenartig, so daß es eine große Anzahl von Tagen dauert, die Masken zu entwerfen und die integrierten Schaltungen herzustellen. Aus diesem Grund dauert eine Nachprüfung eine längere Umlaufzeit (oder TAT).

Ein zweites Problem besteht darin, daß die Nachprüfung der ROM-Codes eine große Anzahl modifizierter Masken benötigt. Im Fall eines ROM mit einer Maske mit vier Werten (oder mit 2 Bits) ist es beispielsweise nötig, wenigstens zwei Masken zu modifizieren.

Bei einem Verfahren, bei welchem ROM-Codes in Antwort auf eine Amplitude der Schwellen V_t geschrieben werden, ist es nötig, eine Störstellendichte bei jedem der Zellentransistoren zu ändern. Im Fall des vierwertigen Masken-ROM ist es nötig, eine Ionenimplantation zweimal durchzuführen, was bedeutet, daß es nötig ist, jeweils eine Ionenimplantation entsprechend V_{t1} und eine Ionenimplantation entsprechend V_{t2} durchzuführen. Hierbei ist eine Ionenimplantationsmenge entsprechend V_{t2} größer als eine Ionenimplantationsmenge entsprechend V_{t1} .

Insbesondere wird eine erste Ionenimplantation entsprechend V_{t1} in bezug auf die Zellentransistoren entsprechend V_{t1} , V_{t3} durch Verwenden einer ersten Maske durchgeführt, und eine zweite Ionenimplantation entsprechend V_{t2} wird in bezug auf die Zellentransistoren entsprechend V_{t2} , V_{t3} durch Verwenden einer zweiten Maske durchgeführt.

Wie es oben beschrieben ist, wird die Ionenimplantation am Zellentransistor entsprechend V_{t3} , was eine größte Ionenimplantationsmenge und eine höchste Störstellendichte hat, zweimal durchgeführt. Zusätzlich wird eine Ionenimplantation am Zellentransistor entsprechend V_{t0} , was eine niedrigste Störstellendichte hat, nicht durchgeführt. Somit ist es unter Verwendung zweier Masken möglich, eine Beziehung in bezug auf eine Störstellendichte zu bilden, wobei $V_{t0} < V_{t1} < V_{t2} < V_{t3}$ gilt.

Ein drittes Problem ist eine Beschränkung einer Integration der integrierten Schaltungen aufgrund einer Ausrichtungs-genauigkeit einer Ionenimplantation und einer Streudiffusion von Störstellen. Dies ist so, weil eine Wärmebehandlung entsprechend dem Nach-Prozeß der Ionenimplantation störstellendiffundierte Bereiche verbreitert, so daß es unmöglich ist, Gate-Abstände sehr zu reduzieren.

Zum Ausbilden von Zellentransistoren mit unterschiedlichen Schwellen stellt der bekannte CMOS-Prozeß (wobei "CMOS" eine Abkürzung für "Komplementärer Metall-Oxid-Halbleiter" ist) bei einer Massenproduktion eine Gate-Länge von 0,25 μm mit einem minimalen Gate-Abstand von 0,5 μm oder so zur Verfügung, um im selben aktiven Bereich benachbart zueinander zu sein. Ein solcher minimaler Gate-Abstand wird durch die Ausrichtungsgenauigkeit der Ionenimplantation und die Streudiffusion von Störstellen bestimmt. Aus diesem Grund wird er selbst dann nicht so sehr reduziert, wenn eine Feinherstellung des CMOS-Prozesses entwickelt wird.

Ein viertes Problem ist eine Komplikation in bezug auf eine Potentialsteuerung der Wortleitung(en) zum Auslesen von in Zellen gespeicherten Codes. Das bedeutet, daß das vorgenannte Verfahren, das Schwellen ändert, eine Anzahl von unterschiedlichen Schwellen verwendet, die identisch zu einer Anzahl von Zuständen ist, die in einer Zelle gespeichert sind. Zum Unterscheiden von ihnen ist es nötig, die Wortleitung derart zu steuern, daß sie auf jedem von unterschiedlichen Potentialpegeln ist, von welchen eine Anzahl um "1" kleiner als die Anzahl von Zuständen ist, die in einer Zelle gespeichert sind. Im Fall des Vierwert-Masken-ROM ist es nötig, die Wortleitung derart zu steuern, daß sie auf jedem von "drei" Potentialpegeln ist, wie sie in Fig. 10 gezeigt sind.

ZUSAMMENFASSUNG DER ERFINDUNG

Es ist eine Aufgabe der Erfindung, einen Mehrwert-Masken-ROM zu schaffen, der in bezug auf eine Umlaufzeit für eine Nachprüfung von ROM-Codes reduziert ist und der ebenso in bezug auf eine Anzahl von modifizierten Masken reduziert ist, die für eine Nachprüfung von ROM-Codes erforderlich sind.

Es ist eine weitere Aufgabe der Erfindung, einen Mehrwert-Masken-ROM zu schaffen, dessen Integration verbessert ist.

Es ist eine weitere Aufgabe der Erfindung, einen Mehrwert-Masken-ROM zu schaffen, wobei eine Potentialsteuerung an Wortleitungen auf eine einfache Weise durchgeführt werden kann.

Ein Mehrwert-Masken-ROM ist durch Anordnen von Zellentransistoren in einer Matrixform konfiguriert, welche durch Verdrahten von Wortleitungen und Erdungsleitungen in Zeilen und durch Verdrahten von Bitleitungen in Spalten definiert ist. Jeder der Zellentransistoren ist durch eine Wortleitung, eine Erdungsleitung und wenigstens zwei Bitleitungen umgeben. Hierbei sind Gate-Anschlüsse der Zellentransistoren, die in derselben Zeile ausgerichtet sind, mit derselben Wortleitung verbunden, während Source-Anschlüsse und Drain-Anschlüsse der Zellentransistoren adäquat mit der Erdungsleitung und den Bitleitungen verbunden oder von ihnen getrennt sind. In einer integrierten Schaltung sind Kontakte zwischen n+-Bereichen, einer ersten Metallschicht und einer zweiten Metallschicht an einem Wannenbereich ausgebildet, um Anschlüsse zu bilden, durch welche der Source-Anschluß und der Drain-Anschluß des Zellentransistors adäquat mit der Erdungsleitung und/oder den Bitleitungen verbunden sind. Das bedeutet, daß ROM-Codes unter Verwendung der Kontakte ausgebildet werden.

Für den Mehrwert-Masken-ROM ist eine Schaltung zum Auslesen gespeicherter Informationen der Zellentransistoren synchron zu einem Taktsignal vorgesehen. Bei einer Dauer mit niedrigem Pegel des Taktsignals führt die Schaltung ein Vorladen zu einer ersten Bitleitung und ein Herunterziehen zu einer zweiten Bitleitung durch. Bei einer Dauer mit hohem Pegel des Taktsignals stoppt die Schaltung das Vorladen zur ersten Bitleitung und das Herunterziehen zur zweiten Bitleitung. Zusätzlich aktiviert die Schaltung die Wortleitung, um Pegel der ersten und der zweiten Leitung zu erfassen, die als Werte für einen Zwei-Bit-Code entsprechend gespeicherter Informationen des Zellentransistors verwendet werden. Beispielsweise wird ein Zwei-Bit-Code (00) als gespeicherte Informationen des Zellentransistors bestimmt, dessen Source-Anschluß und dessen Drain-Anschluß überhaupt nicht mit der Erdungsleitung und den Bitleitungen verbunden sind. Zusätzlich wird ein Zwei-Bit-Code (11) als gespeicherte Informationen des Zellentransistors bestimmt, dessen Source-Anschluß und dessen Drain-Anschluß jeweils mit der ersten und der zweiten Bitleitung verbunden sind.

Somit ist es möglich, eine TAT bei einer Herstellung für eine Nachprüfung der ROM-Codes zu reduzieren, die unter Verwendung der Kontakte ausgebildet sind.

Zusätzlich haben alle Zellentransistoren eine einzige Schwelle, so daß es unnötig ist, eine Ionenimplantation zum Ändern von Schwellen durchzuführen. Das bedeutet, daß es möglich ist, eine Integration der Zellentransistoren im Mehrwert-Masken-ROM zu verbessern. Weiterhin ist es möglich, eine Potentialsteuerung an den Wortleitungen auf einfache Weise durchzuführen, weil nur zwei Pegel (z. B. ein hoher Pegel und ein niedriger Pegel) zum Steuern der Wortleitungen in bezug auf ein Potential erforderlich sind.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

Diese und andere Aufgaben, Aspekte und Ausführungsbeispiele der vorliegenden Erfindung werden unter Bezugnahme auf die folgenden Zeichnungsfiguren detaillierter beschrieben, wobei:

Fig. 1 ein Schaltungsdiagramm ist, das eine Konfiguration eines Mehrwert-Masken-ROM gemäß einem Ausführungsbeispiel 1 der Erfindung ist;

Fig. 2 eine Draufsicht ist, die einen Aufbau des Mehrwert-Masken-ROM zeigt, welcher als integrierte Schaltung hergestellt wird und zu welchem keine ROM-Codes geschrieben sind;

Fig. 3 eine Querschnittsansicht entlang der Linie A-A' in Fig. 2 ist;

Fig. 4 eine Draufsicht ist, die einen Aufbau der integrierten Schaltung entsprechend dem Mehrwert-Masken-ROM zeigt, zu welchem ROM-Codes geschrieben sind;

Fig. 5 eine Querschnittsansicht entlang der Linie B-B' in Fig. 4 ist;

Fig. 6 ein Schaltungsdiagramm ist, das einen ausgewählten Teil des Mehrwert-Masken-ROM zeigt, und eine Schaltung zum Auslesen von Informationen von Zellentransistoren;

Fig. 7A ein Zeitdiagramm ist, das ein Taktsignal CLK zeigt;

Fig. 7B ein Zeitdiagramm ist, das ein Vorladesignal PB zeigt;

Fig. 7C ein Zeitdiagramm ist, das Pegelschwankungen einer Wortleitung WL0 zeigt;

Fig. 7D ein Zeitdiagramm ist, das Pegelschwankungen einer Wortleitung WL1 zeigt;

Fig. 7E ein Zeitdiagramm ist, das Pegelschwankungen einer Wortleitung WL2 zeigt;

Fig. 7F ein Zeitdiagramm ist, das Pegelschwankungen einer Wortleitung WL3 zeigt;

Fig. 7G ein Zeitdiagramm ist, das ein Herunterzieh- bzw. Pulldown-Signal PD zeigt;

Fig. 7H ein Zeitdiagramm ist, das Pegelschwankungen einer Bitleitung D0 zeigt;

Fig. 7I ein Zeitdiagramm ist, das Pegelschwankungen einer Bitleitung D1 zeigt;

Fig. 7J ein Zeitdiagramm ist, das ein Latch- bzw. Zwischenspeicherungssignal DO0 zeigt;

Fig. 7K ein Zeitdiagramm ist, das ein Latch-Signal DO1 zeigt;

Fig. 8 ein Schaltungsdiagramm ist, das eine Konfiguration eines Mehrwert-Masken-ROM gemäß einem Ausführungsbeispiel 2 der Erfindung zeigt;

Fig. 9 ein Schaltungsdiagramm ist, das ein Beispiel einer Zellenmatrix eines Mehrwert-Masken-ROM zeigt;

Fig. 10 eine Kurve ist, die eine Dreistufen-Potentialsteuerung auf einer Wortleitung im Mehrwert-Masken-ROM der Fig. 9 zeigt;

Fig. 11 ein Schaltungsdiagramm ist, das eine Konfiguration eines Mehrwert-Masken-ROM gemäß einem Ausführungsbeispiel 3 der Erfindung zeigt.

rungsbeispiel 3 der Erfindung zeigt;

Fig. 12 eine Draufsicht ist, die einen Aufbau des Mehrwert-Masken-ROM der Fig. 11 in einem Anfangszustand zeigt;

Fig. 13 eine Querschnittsansicht entlang der Linie C-C' in Fig. 12 ist;

Fig. 14A ein Schaltungsdiagramm ist, das einen Teil einer integrierten Schaltung entsprechend dem Mehrwert-Masken-ROM zeigt, in welchen ROM-Codes geschrieben sind;

Fig. 14B eine Draufsicht ist, die einen Aufbau der integrierten Schaltung der Fig. 14A zeigt;

Fig. 15 eine Querschnittsansicht entlang der Linie D-D' in Fig. 14B ist;

Fig. 16 ein Schaltungsdiagramm ist, das einen ausgewählten Teil des Mehrwert-Masken-ROM und seine Schaltung zum Auslesen von Informationen aus Zellentransistoren zeigt;

Fig. 17A ein Zeitdiagramm ist, das ein Taktsignal CLK zeigt;

Fig. 17B ein Zeitdiagramm ist, das Pegelschwankungen einer Wortleitung WL0 zeigt;

Fig. 17C ein Zeitdiagramm ist, das Pegelschwankungen einer Wortleitung WL1 zeigt;

Fig. 17D ein Zeitdiagramm ist, das Pegelschwankungen einer Wortleitung WL2 zeigt;

Fig. 17E ein Zeitdiagramm ist, das Pegelschwankungen einer Wortleitung WL3 zeigt;

Fig. 17F ein Zeitdiagramm ist, das Pegelschwankungen einer Bitleitung D0 zeigt;

Fig. 17G ein Zeitdiagramm ist, das Pegelschwankungen einer Bitleitung D1 zeigt;

Fig. 17H ein Zeitdiagramm ist, das ein Latch-Signal DO0 zeigt;

Fig. 17I ein Zeitdiagramm ist, das ein Latch-Signal DO1 zeigt; und

Fig. 18 ein Schaltungsdiagramm ist, das einen Aufbau eines Mehrwert-Masken-ROM gemäß einem Ausführungsbeispiel 4 der Erfindung zeigt.

BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSBEISPIELE

Diese Erfindung wird anhand von Beispielen unter Bezugnahme auf die beigefügten Zeichnungen detaillierter beschrieben.

[A] Ausführungsbeispiel 1

Fig. 1 ist ein Schaltungsdiagramm, das einen Aufbau eines Mehrwert-Masken-ROM gemäß einem Ausführungsbeispiel 1 der Erfindung zeigt. Insbesondere zeigt Fig. 1 eine Speicherzellenmatrix, die Zellentransistoren Tr00, Tr02, Tr04, Tr06, Tr10, Tr12, Tr14, Tr16, . . . , Tri0, Tri2, Tri4 und Tri6 enthält (wobei "i" eine ganze Zahl ist). Hierbei sind zwei Bitleitungen (D) und eine Erdungs-(GND-)Leitung verdrahtet, um jeden Zellentransistor zu umgeben. Das bedeutet, daß Bitleitungen D0, D1, . . . , D7 in vertikalen Richtungen verdrahtet sind, während GND-Leitungen G0, G1, . . . , Gi in horizontalen Richtungen verdrahtet sind.

Beispielsweise sind zwei Bitleitungen D0, D1 und eine GND-Leitung G0 verdrahtet, um den Zellentransistor Tr00 zu umgeben. Zusätzlich sind zwei Bitleitungen D2, D3 und eine GND-Leitung G1 verdrahtet, um den Zellentransistor Tr12 zu umgeben. Alle GND-Leitungen G0, G1, . . . , Gi sind beim Erdungspotentialpegel miteinander verbunden.

Ungleich dem vorgenannten zugehörigen Stand der Technik, bei welchem Speicherinformationen durch Ändern einer Schwelle jedes Zellentransistors codiert werden, ist der Mehrwert-Masken-ROM des vorliegenden Ausführungsbeispiels derart entworfen, daß Speicherinformationen in Antwort auf Zustände von Verbindungen codiert werden, durch welche die zwei Bitleitungen und die GND-Leitung mit einem Source-Anschluß und einem Drain-Anschluß jedes Zellentransistors verbunden sind. Aus diesem Grund wird derselbe einzige Wert für Schwellen aller Zellentransistoren im Mehrwert-Masken-ROM eingestellt. Daher benötigt das vorliegende Ausführungsbeispiel lediglich zwei Spannungspiegel (z. B. einen hohen Pegel und einen niedrigen Pegel), die zum Auslesen von Codes an Gate-Anschlüsse der Zellentransistoren angelegt werden.

Beim vorliegenden Ausführungsbeispiel ist der Masken-ROM derart entworfen, daß drei Leitungen (z. B. zwei Bitleitungen, eine Wortleitung und eine GND-Leitung) verdrahtet sind, um jeden Zellentransistor zu umgeben, und adäquat mit zwei Anschlüssen (z. B. dem Source-Anschluß und dem Drain-Anschluß) des Zellentransistors verbunden sind. Hierbei sind Kombinationen von Anschlüssen zwischen drei Leitungen und zwei Anschlüssen des Zellentransistors durch vier Zustände, d. h. (00), (01), (10) und (11), dargestellt, die wie folgt beschrieben werden:

(00): Keiner der Source-Anschlusses und des Drain-Anschlusses ist mit irgendeiner der Leitungen verbunden.

(01), (10): Einer der Source-Anschlusses und des Drain-Anschlusses ist mit einer Bitleitung verbunden, während der andere mit der GND-Leitung verbunden ist.

(11): Der Source-Anschluß und der Drain-Anschluß sind jeweils mit benachbarten Bitleitungen verbunden.

Daher kann eine Nachprüfung der ROM-Codes durch Ändern von Anschlüssen zwischen den Anschlüssen der Zellentransistoren und ihrer umgebenden Leitungen erreicht werden. Anders ausgedrückt ist es möglich, die ROM-Codes durch Ändern des Verdrahtungsprozesses zu ändern.

In Fig. 1 sind Wortleitungen WL0, WL1, . . . , WLi in unmittelbarer Nähe zu den Zellentransistoren verdrahtet. Die Wortleitungen sind in horizontalen Richtungen verdrahtet, so daß jede von ihnen mit Gate-Anschlüssen der Zellentransistoren verbunden ist, die in horizontaler Richtung ausgerichtet sind. Beispielsweise ist die Wortleitung WL0 mit Gate-Anschlüssen der Zellentransistoren Tr00, Tr02, Tr04, Tr06 verbunden, während die Wortleitung WL1 mit Gate-Anschlüssen der Zellentransistoren Tr10, Tr12, Tr14, Tr16 verbunden ist.

Wie es oben beschrieben ist, benötigt das vorliegende Ausführungsbeispiel nur zwei Spannungspiegel (z. B. einen hohen Pegel und einen niedrigen Pegel), die an die Gate-Anschlüsse der Zellentransistoren angelegt werden. Daher benötigt das vorliegende Ausführungsbeispiel nur zwei Spannungspiegel, die an die Wortleitungen angelegt werden.

Fig. 2 ist eine Draufsicht, die einen Aufbau des Mehrwert-Masken-ROM des vorliegenden Ausführungsbeispiels zeigt, der als integrierte Schaltung (IC) ausgebildet ist. Konkret gesagt zeigt Fig. 2 einen Anfangszustand des Masken-ROM, wobei überhaupt keine ROM-Codes ausgebildet sind. Das bedeutet, daß Source-Anschlüsse und Drain-An-

schlüsse aller Zellentransistoren in Fig. 2 nicht mit Leitungen verbunden sind.

Aktive Bereiche 1 sind Bereiche, in welchen die Zellentransistoren ausgebildet und angeordnet sind. GND-Leitungen 2 sind in oberen und unteren Abschnitten in horizontaler Richtung verdrahtet, die zum aktiven Bereich 1 benachbarter sind, wobei sie durch Polysilizium ausgebildet sind. Zusätzlich sind die vorgenannten Wortleitungen (WL0, WL1) auch durch Polysilizium ausgebildet, wobei sie zentrale Abschnitte der aktiven Bereiche 1 durchqueren.

In Fig. 2 zeigen durch gestrichelte Linien umgebene Bereiche erste Metallschichten 3. Einige der ersten Metallschichten 3 sind mit Durchgängen 4 versehen. Die vorgenannten Bitleitungen D0 bis D7 sind als zweite Metallschichten 2 ausgebildet. Weil Fig. 2 den Anfangszustand des Masken-ROMs zeigt, in welchem keine ROM-Codes ausgebildet sind, sind keine Kontakte 5 und gestapelte Durchgänge 6 ausgebildet. Übrigens ist der gestapelte Durchgang 6 ein Bereich, in welchem sowohl der Durchgang 4 als auch der Kontakt 5 ausgebildet sind.

Fig. 3 ist eine Querschnittsansicht entlang der Linie A-A' in Fig. 2. Hierbei ist eine p-Wanne 8 als eine obere Schicht auf einem p-Substrat (oder einem p-Typ-Substrat) 7 ausgebildet. Zusätzlich sind n+-Bereiche 9 in direkter Nähe zu einer oberen Oberfläche der p-Wanne 8 ausgebildet. In Fig. 3 sind zwei n+-Bereiche 9 in einem aktiven Bereich 1 ausgebildet, wobei einer von ihnen einem Source-Bereich entspricht, während der andere einem Drain-Bereich entspricht.

Wie es zuvor beschrieben ist, benötigt das vorliegende Ausführungsbeispiel nur einen einzigen Wert für die Schwelle des Zellentransistors im Masken-ROM. Daher ist keine Ionenimplantation zum Ändern der Schwelle erforderlich. Aus diesem Grund ist es unnötig, eine für die Ionenimplantation verwendete Maske vorzuschreiben.

Weiterhin ist ein Trennbereich 10 zwischen zwei aktiven Bereich 1 vorgesehen, die benachbart zueinander sind.

GND-Leitungen 2, die durch Polysilizium hergestellt sind, sind als obere Schichten auf dem Trennbereich 10 ausgebildet. Gate-Elektroden 11, die durch Polysilizium hergestellt sind, sind auf ausgewählten Teilen der oberen Oberfläche der p-Wanne 8 ausgebildet, und sie sind in Sandwichbauweise zwischen den Source-Bereichen und den Drain-Bereichen angeordnet. Die Gate-Elektroden 11 fallen mit den Wortleitungen zusammen.

Es wird wiederholt, daß das vorliegende Ausführungsbeispiel einen einzigen Wert für die Schwellen der Zellentransistoren des Masken-ROM benötigt, so daß keine Ionenimplantation zum Ändern der Schwellen erforderlich ist. Daher ist es unnötig, die Ausrichtungsgenauigkeit der Ionenimplantation und die Streudiffusion von Störstellen zu berücksichtigen. So ist es möglich, die Gate-Abstände auf so klein wie möglich bis zu einem derartigen Ausmaß zu reduzieren, das eine Anordnung der Kontakte mit minimalen Abständen zuläßt.

Das bedeutet, daß eine Integration der Zellentransistoren im Masken-ROM des vorliegenden Ausführungsbeispiels nicht durch die Ausrichtungsgenauigkeit der Ionenimplantation und die Streudiffusion von Störstellen beschränkt ist. Anders ausgedrückt wird die Integration durch Verdrahtungsabstände im Verdrahtungsprozeß bestimmt. Daher wird ungeachtet der herkömmlichen Technologie erwartet, daß diese Erfindung eine Integration der Zellentransistoren mehr und mehr verbessern kann, wenn die Feinherstellung des CMOS-Prozesses weiterentwickelt wird.

Ein Oxid-Film 13 ist auf den GND-Leitungen 2 und den Gate-Elektroden 11 ausgebildet. Hierbei wird der Oxid-Film zuerst auf den GND-Leitungen und den Gate-Elektroden ausgebildet, und dann werden die ersten Metallschichten 3 als obere Schichten auf dem ersten Oxid-Film ausgebildet. Dann wird der Oxid-Film wiederum auf den ersten Metallschichten 3 ausgebildet. Zusätzlich werden zweite Metallschichten 12 auf dem Oxid-Film als die Bitleitungen ausgebildet. Weiterhin werden die Durchgänge 4 selektiv ausgebildet, um Anschlüsse zwischen den ersten Metallschichten 3 und den zweiten Metallschichten 12 zu bilden, welche die Anschlüsse benötigen.

Fig. 4 ist eine Draufsicht auf die integrierte Schaltung entsprechend dem Mehrwert-Masken-ROM, zu welchem ROM-Codes geschrieben sind. Hierbei sind Kontakte 5 und gestapelte Durchgänge 6 an einigen nötigen Abschnitten ausgebildet.

Fig. 5 ist eine Querschnittsansicht entlang der Linie B-B' in Fig. 4. Hierbei ist ein Kontakt 5 zwischen einer ersten Metallschicht 3 ganz rechts und einer Grenze zwischen dem n+-Bereich 9 und der GND-Leitung 2 ausgebildet. Dieser Kontakt 5 ist vorgesehen, um einen Anschluß zwischen dem n+-Bereich 9 und der GND-Leitung 2 zu bilden.

Zusätzlich ist ein weiterer Kontakt 5 zwischen einer ersten Metallschicht 3, die die zweite von rechts der Fig. 5 ist, und seinem darunterliegenden n+-Bereich 9 ausgebildet. Als Ergebnis ist die "zweite" erste Metallschicht 3 mit dem n+-Bereich 9 durch den Kontakt 5 verbunden. Zusätzlich ist die zweite erste Metallschicht 3 durch den Durchgang 4 auch mit der zweiten Metallschicht 12 verbunden. Weil sowohl der Durchgang 4 als auch der Kontakt 5 in einem Bereich entsprechend der zweiten ersten Metallschicht 3 vorgesehen sind, ist bei einem entsprechenden Abschnitt in Fig. 4 eine Markierung (d. h. ein schwarzes Quadrat) dargestellt.

Fig. 6 zeigt einen ausgewählten Teil des Masken-ROMs und eine Schaltung zum Auslesen von Informationen, die im Masken-ROM gespeichert sind. Insbesondere zeigt Fig. 6 nur eine Reihe von Zellentransistoren Tr00, Tr10, Tr20, Tr30, die in einer selben Spalte angeordnet sind und die durch Bitleitungen D0, D1 umgeben sind. Hierbei speichern die Transistoren Tr00, Tr10, Tr20 und Tr30 jeweils Codes (00), (01), (10) und (11). Wie es zuvor beschrieben ist, werden diese Codes durch Verdrahtungstypen aktualisiert, die auf die Transistoren angewendet werden. Anders ausgedrückt wird der Code (00) durch Verdrahten des Zellentransistors Tr00 aktualisiert, dessen Source-Anschluß und dessen Drain-Anschluß überhaupt nicht mit einer der Leitungen verbunden werden, während der Code (01) durch Verdrahten des Zellentransistors Tr10 aktualisiert wird, dessen Source-Anschluß und dessen Drain-Anschluß jeweils mit der Bitleitung D0 und der GND-Leitung G1 verbunden werden. Zusätzlich wird der Code (10) durch Verdrahten des Zellentransistors Tr20 aktualisiert, dessen Source-Anschluß und dessen Drain-Anschluß jeweils mit der GND-Leitung G2 und der Bitleitung D1 verbunden werden, während der Code (11) durch Verdrahten des Zellentransistors Tr30 aktualisiert wird, dessen Source-Anschluß und dessen Drain-Anschluß jeweils mit den Bitleitungen D0 und D1 verbunden werden.

Gate-Anschlüsse der Zellentransistoren Tr00, Tr10, Tr20 und Tr30 sind jeweils mit den Wortleitungen WL0, WL1, WL2 und WL3 verbunden.

Zum Zwecke eines Vorladens der Bitleitung D0 wird ein Drain-Anschluß eines Transistors 25 mit der Bitleitung D0 verbunden. Übrigens wird eine Versorgungsquellenspannung (d. h. ein hoher Pegel) an einen Source-Anschluß des Transistors 25 angelegt. Ein Gate-Anschluß des Transistors 25 ist "niedrig aktiv". Ein Vorladesignal PB wird zum Gate-Anschluß des Transistors 25 eingegeben.

Zum Zwecke eines Vorladens der Bitleitung D1 wird ein Drain-Anschluß eines Transistors 26 mit der Bitleitung D1 verbunden. Die Versorgungsquellenspannung (d. h. ein hoher Pegel) wird an einen Source-Anschluß des Transistors 26 angelegt. Ein Gate-Anschluß des Transistors 26 ist "niedrig aktiv". Ein Vorladesignal PB wird zum Gate-Anschluß des Transistors 26 eingegeben.

5 Zum Zwecke eines Herunterziehens der Bitleitung D1 wird weiterhin ein Drain-Anschluß eines Transistors 14 mit der Bitleitung D1 verbunden. Ein Source-Anschluß des Transistors 14 wird geerdet. Ein Gate-Anschluß des Transistors ist "hoch aktiv". Ein Pulldown-Signal PD wird zum Gate-Anschluß des Transistors 14 eingegeben.

Die Bitleitungen D0, D1 sind jeweils mit Eingangs-Anschlüssen von Leseverstärkern SA0, SA1 verbunden. Beide Leseverstärker SA0, SA1 haben dieselbe Funktion. Das bedeutet, daß bei jedem Leseverstärker ein Zustand der Bitleitung eine Eingabe ist, wobei er seine Eingabe logisch invertiert, um eine Ausgabe zu liefern. Ausgaben der Leseverstärker SA0, SA1 werden zu einem Exklusiv-NOR-Gatter 15 zugeführt. Zusätzlich wird die Ausgabe des Leseverstärkers SA0 zu einem Latch 21 zugeführt, während die Ausgabe des Leseverstärkers SA1 zu einem Selektor 20 zugeführt wird.

Weiterhin werden die Ausgaben der Leseverstärker SA0, SA1 zu einem UND-Gatter 18 zugeführt, von welchem eine Ausgabe zum Selektor 20 zugeführt wird. Eine Ausgabe des Selektors 20 wird zu einem Latch 22 zugeführt. Beide Latches 21, 22 haben dieselbe Funktion. Das bedeutet, daß jeder Latch 21, 22 folgendermaßen arbeitet:

15 Wenn ein Taktsignal CLK, das zu einem Takteingangs-Anschluß des Latches eingegeben wird, auf einem hohen Pegel ist, wird der Latch in einen Durchlaßzustand versetzt, in welchem eine Eingabe direkt zum Ausgang durchgelassen wird. Wenn das Taktsignal CLK auf einem niedrigen Pegel ist, speichert der Latch eine seine Eingabe zwischen. In einer Zeitperiode, in welcher das Taktsignal CLK auf dem niedrigen Pegel bleibt, gibt der Latch seine zwischengespeicherte Eingabe kontinuierlich aus.

20 Übrigens gibt der Latch 21 ein Zwischenspeicherungssignal bzw. Latch-Signal DO0 aus, während der Latch 22 ein Zwischenspeicherungssignal bzw. Latch-Signal DO1 ausgibt.

Wie es oben beschrieben ist, wird das Taktsignal CLK zu Takteingangs-Anschlüssen der Latches 21, 22 eingegeben. Zusätzlich wird das Taktsignal CLK zu einem Verzögerungselement 23 und einem UND-Gatter 24 mit drei Eingängen eingegeben. Eine Ausgabe des Verzögerungselements 23 wird zum UND-Gatter 24 mit drei Eingängen zugeführt. Eine Ausgabe des UND-Gatters 24 mit drei Eingängen entspricht dem Pulldown-Signal PD, das zum Gate-Anschluß des Transistors 14 zugeführt wird. Zusätzlich wird das Pulldown-Signal PD auch zu einem Steuer-Anschluß des Selektors 20 und einem ODER-Gatter 16 geliefert. Für das ODER-Gatter 16 ist auch eine Ausgabe des Exklusiv-NOR-Gatters 15 eine Eingabe. Eine Ausgabe des ODER-Gatters 16 wird dem UND-Gatter 24 mit drei Eingängen zugeführt.

30 Der Selektor 20 arbeitet gemäß einer Eingabe zum Steuer-Anschluß, d. h. dem Pulldown-Signal PD, wie folgt:

Wenn das Pulldown-Signal PD niedrig ist, wählt der Selektor 20 die Ausgabe des Leseverstärkers SA1 aus, welche zum Latch 22 weitergeleitet wird. Wenn das Pulldown-Signal PD hoch ist, wählt der Selektor 20 die Ausgabe des UND-Gatters 18 aus, welche zum Latch 22 weitergeleitet wird.

35 Als nächstes wird ein Verfahren zum Auslesen von Zwei-Bit-Informationen, die in jedem Zellentransistor gespeichert sind, durch die vorgenannte Schaltung beschrieben.

Zuerst werden die Transistoren 25, 26 EIN-geschaltet, so daß die Bitleitungen D0, D1 jeweils einem Vorladen unterzogen und auf hohe Pegel eingestellt werden.

40 Als nächstes werden die Transistoren 25, 26 AUS-geschaltet, so daß das Vorladen beendet wird. Selbst wenn die Transistoren 25, 26 AUS-geschaltet werden, gibt es keine Pfade, durch welche Ladungen der Bitleitungen D0, D1 freizugehen sind. Somit bleiben die Bitleitungen D0, D1 auf den hohen Pegeln. Danach wird die Wortleitung, die mit dem Zellentransistor verbunden ist, dessen Informationen auszulesen sind, aktiviert; anders ausgedrückt wird die Wortleitung in bezug auf einen Pegel von niedrig zu hoch erhöht. Zusätzlich wird der Zellentransistor EIN-geschaltet. Zum Auslesen von Informationen, die beispielsweise im Zellentransistor Tr00 gespeichert sind (siehe Fig. 6), wird die entsprechende Wortleitung W0 aktiviert, und der Zellentransistor Tr00 wird EIN-geschaltet.

45 Dann wird eine Erfassung in bezug auf gegenwärtige Zustände der Bitleitungen D0, D1 durchgeführt. Wenn nur die Bitleitung D0 in bezug auf einen Pegel auf niedrig geändert wird, kann gesagt werden, daß ein Anschluß des Zellentransistors, der nahe der Bitleitung D1 ist, mit der GND-Leitung verbunden ist. Somit sind im Zellentransistor gespeicherte Informationen (01). Gegensätzlich dazu kann dann, wenn nur die Bitleitung D1 in bezug auf einen Pegel auf niedrig geändert wird, gesagt werden, daß ein Anschluß des Zellentransistors, der nahe zur Bitleitung D0 ist, mit der GND-Leitung verbunden ist. Somit sind im Zellentransistor gespeicherte Informationen (10). Aufgrund der oben beschriebenen Gründe gibt es keine Wahrscheinlichkeit, daß beide Bitleitungen D0, D1 in bezug auf einen Pegel gleichzeitig auf niedrig geändert werden. Wenn beide Bitleitungen D0, D1 in bezug auf ihre Pegel überhaupt nicht geändert werden, sind für den Zellentransistor zwei Zustände von Verbindungen ausgebildet, d. h. ein erster Zustand, in welchem der Zellentransistor überhaupt nicht mit den Bitleitungen D0, D1 verbunden ist, und ein zweiter Zustand, in welchem der Zellentransistor mit beiden Bitleitungen D0, D1 verbunden ist. Das bedeutet, daß gespeicherte Informationen des Zellentransistors (00) oder (11) sein sollten.

50 Wenn beide Bitleitungen D0, D1 in bezug auf ihre Pegel überhaupt nicht geändert werden, wird der Transistor 14 EIN-geschaltet, so daß die Bitleitung D1 einem Herunterziehen unterzogen wird und in bezug auf einen Pegel auf niedrig abgesenkt wird. In diesem Fall ist es dann, wenn die Bitleitung D0 in bezug auf einen Pegel nicht geändert wird und auf hoch bleibt, möglich, eine Bestimmung durchzuführen, daß der Zellentransistor überhaupt nicht mit den Bitleitungen D0, D1 verbunden ist. Daher sind gespeicherte Informationen des Zellentransistors (00). Wenn die Bitleitung D0 in bezug auf einen Pegel in Verbindung mit dem Herunterziehen der Bitleitung D1 auch auf niedrig abgesenkt wird, kann gesagt werden, daß die Bitleitungen D0, D1 mittels des Zellentransistors miteinander verbunden sind. In diesem Fall sollten gespeicherte Informationen des Zellentransistors (11) sein.

65 Als nächstes werden konkrete Operationen der vorgenannten Schaltung unter Bezugnahme auf die Zeitdiagramme der Fig. 7A bis 7K detaillierter beschrieben. Bei einer Dauer (z. B. einer Zeitperiode vor einer Zeit t0), in welcher ein Taktsignal CLK (siehe Fig. 7A) auf einem niedrigen Pegel ist, ist auch ein Vorladesignal PB auf einem niedrigen Pegel. Wie es zuvor beschrieben ist, werden Gate-Anschlüsse der Transistoren 25, 26, die das Vorladesignal PB eingegeben, "niedrig

aktiv" gemacht. Somit sind bei einer Dauer, bei welcher das Vorladesignal PB auf dem niedrigen Pegel ist, beide Transistoren 25, 26 im EIN-Zustand. Somit werden beide Bitleitungen D0, D1, die jeweils mit den Drain-Anschlüssen der Transistoren 25, 26 verbunden sind, auf hohe Pegel gesetzt. Die Bitleitungen D0, D1 sind jeweils mit den Leseverstärkern SA0, SA1 verbunden, wobei Eingaben (d. h. Eingaben hohen Pegels) invertiert werden. Somit werden Ausgaben (niedrigen Pegels) der Leseverstärker SA0, SA1 zum Exklusiv-NOR-Gatter 15 eingegeben, von welchem eine Ausgabe auf Hoch geschaltet wird. 5

Bei einer Dauer, bei welcher das Taktsignal CLK auf einem hohen Pegel ist, wird auch das Vorladesignal PB auf einen hohen Pegel versetzt. Daher werden die Transistoren 25, 26 AUS-geschaltet, so daß ein Vorladen zu den Bitleitungen D0, D1 gestoppt wird. Somit ist es möglich, eine Erfassung in bezug auf Daten zu beginnen, die im Zellentransistor (in den Zellentransistoren) gespeichert sind. 10

Zur Zeit t0 wird dann, wenn das Taktsignal CLK in bezug auf einen Pegel von niedrig auf hoch geändert wird, das Vorladesignal PB in bezug auf einen Pegel entsprechend von niedrig zu hoch geändert. Somit wird das Vorladen zu den Bitleitungen D0, D1 gestoppt.

Gleichzeitig wird die Wortleitung WL0 (siehe Fig. 7C) in bezug auf den Pegel von niedrig auf hoch geändert. Somit wird ein hoher Pegel an den Gate-Anschluß des Zellentransistors Tr00 angelegt, der EIN-geschaltet wird. Hierbei sind 15 der Source-Anschluß und der Drain-Anschluß des Zellentransistors Tr00 überhaupt nicht mit den Bitleitungen D0, D1 verbunden. Aus diesem Grund sind die Bitleitungen D0, D1 in bezug auf den Potentialpegel (oder die Spannung) nicht geändert. Dies zeigt an, daß Informationen, die im Zellentransistor Tr00 gespeichert sind, (00) oder (11) sein sollten.

Spannungen (oder Pegel) der Bitleitungen D0, D1 (wobei D0 = hoch, D1 = hoch) werden jeweils durch die Leseverstärker SA0, SA1 erfaßt. Zusätzlich werden Ausgaben der Leseverstärker SA0, SA1 (wobei SA0 = niedrig, SA1 = niedrig) jeweils zum Latch 21 und zum Selektor 20 eingegeben. Zur Zeit t0 wird das Taktsignal CLK, das zum Takteingangs-Anschluß des Latches 21 eingegeben wird, in bezug auf den Pegel auf hoch erhöht, so daß der Latch 21 in einen Durchlaßzustand versetzt wird. In diesem Zustand gibt der Latch 21 seine Eingabe direkt aus, die der Ausgabe (mit niedrigem Pegel) des Leseverstärkers SA0 entspricht. Daher gibt der Latch 21 ein Latch-Signal DO0 (siehe Fig. 7H) aus, das niedrig ist. 20 25

Die Ausgabe (mit niedrigem Pegel) des Leseverstärkers SA1 wird zum Selektor 20 eingegeben. Zur Zeit t0 wird dem Steuer-Anschluß des Selektors 20 ein Pulldown-Signal PD (siehe Fig. 7G) zugeführt, das niedrig ist. Somit wählt der Selektor 20 die Ausgabe (mit niedrigem Pegel) des Leseverstärkers SA1 aus, die zum Latch 22 weitergeleitet wird. Wie der vorgenannte Latch 21 wird auch der Latch 22 in einen Durchlaßzustand versetzt. Als Ergebnis gibt der Latch 22 in Antwort auf die Ausgabe mit niedrigem Pegel des Leseverstärkers SA1 ein Latch-Signal DO1 (siehe Fig. 7K) aus, das niedrig ist. 30

Die Ausgaben der Leseverstärker SA0, SA1 (wobei SA0 = niedrig, SA1 = niedrig) werden auch zum Exklusiv-NOR-Gatter 15 eingegeben, von welchem eine Ausgabe auf einem hohen Pegel bleibt. Eine solche Ausgabe des Exklusiv-NOR-Gatters 15 wird zum ODER-Gatter 16 eingegeben. Somit sollte eine Ausgabe des ODER-Gatters 16 auf einem hohen Pegel sein. 35

Die Ausgabe des ODER-Gatters 16 wird zum UND-Gatter 24 mit drei Eingängen eingegeben. Dem UND-Gatter mit drei Eingängen wird auch das Taktsignal CLK und ein verzögertes Signal, das durch das Verzögerungselement 23 erzeugt wird, das das Taktsignal CLK verzögert, eingegeben. Das Taktsignal CLK wird zur Zeit t0 in bezug auf den Pegel von niedrig auf hoch geändert. Jedoch ist eine Ausgabe des Verzögerungselements 23 gegenüber dem Taktsignal CLK verzögert. Daher wird die Ausgabe des Verzögerungselements 23 zur Zeit t1, welche gegenüber der Zeit t0 um eine Verzögerungszeit Td verzögert ist, die für das Verzögerungselement 23 eingestellt ist, in bezug auf den Pegel von niedrig auf hoch geändert. 40

Wie es oben beschrieben ist, wird die Ausgabe des Verzögerungselements 23 zum UND-Gatter 24 mit drei Eingängen eingegeben. Somit werden alle drei Eingänge des UND-Gatters 24 jeweils zur Zeit t1, zu welcher die Ausgabe des Verzögerungselements 23 in bezug auf den Pegel auf hoch geändert wird, auf hohe Pegel eingestellt. Daher entspricht eine Ausgabe des UND-Gatters 24 mit drei Eingängen einem Pulldown-Signal (siehe Fig. 7G), das zur Zeit t1 in bezug auf den Pegel von niedrig auf hoch geändert wird. 45

Das Pulldown-Signal PD wird zum Gate-Anschluß des Transistors 14 eingegeben. Somit wird der Transistor 14 zur Zeit t1 EIN-geschaltet. Wenn der Transistor 14 EIN-geschaltet wird, wird die Bitleitung D1, die mit dem Drain-Anschluß des Transistors 14 verbunden ist, einem Herunterziehen unterzogen und in bezug auf den Pegel auf niedrig abgesenkt (siehe Fig. 7I). Ein Zustand der Bitleitung D1 wird durch den Leseverstärker SA1 erfaßt. Daher wird eine Ausgabe des Leseverstärkers SA1 in bezug auf den Pegel von niedrig auf hoch geändert. 50

Zur Zeit t1 wird die Wortleitung WL0 aktiviert (siehe Fig. 7C), um den Zellentransistor Tr00 auszuwählen. Wie es zuvor beschrieben ist, werden der Source-Anschluß und der Drain-Anschluß des Zellentransistors Tr00 überhaupt nicht mit irgendeiner der Leitungen verbunden. Aus diesem Grund wird die Bitleitung D0 selbst dann überhaupt nicht beeinflusst, wenn die Bitleitung D1 einem Herunterziehen unterzogen wird und in bezug auf den Pegel auf niedrig abgesenkt wird. Somit bleibt die Bitleitung D0 auf dem hohen Pegel. Zu dieser Zeit ist es möglich, zu bestimmen, daß die gespeicherten Informationen des Zellentransistors Tr00 (00) sein sollten. 55

Es ist zuvor beschrieben, daß zur Zeit t1 die Bitleitung D0 auf dem hohen Pegel ist, während die Bitleitung D1 auf dem niedrigen Pegel ist, wenn die Bitleitung D1 einem Herunterziehen unterzogen wird, so daß eine Ausgabe des Leseverstärkers SA0 niedrig ist, während eine Ausgabe des Leseverstärkers SA1 hoch ist. Eine solche Ausgabe mit niedrigem Pegel des Leseverstärkers SA0 wird zum Latch 21 eingegeben. Zur Zeit t1 wird der Latch in einen Durchlaßzustand versetzt, weil das Taktsignal CLK hoch ist. Daher gibt der Latch 21 seine Eingabe direkt aus. Das bedeutet, daß eine Ausgabe des Latches 21 einem Latch-Signal DO0 entspricht, das auf einem niedrigen Pegel gehalten wird. 60

Eine Ausgabe des Leseverstärkers SA1 wird zum Selektor 20 eingegeben. Zur Zeit t1 wird das Pulldown-Signal PD, das zum Steuer-Anschluß des Selektors 20 eingegeben wird, hoch. Aus diesem Grund wählt der Selektor 20 nicht die Ausgabe des Leseverstärkers SA1 aus, sondern wählt eine Ausgabe des UND-Gatters 18 aus. Die Ausgabe des UND-Gatters 18 ist niedrig, weil die Ausgabe des Leseverstärkers SA0 niedrig ist, während die Ausgabe des Leseverstärkers 65

SA1 hoch ist. Eine solche Ausgabe mit niedrigem Pegel des UND-Gatters 18 wird durch den Selektor 20 ausgewählt und wird vom Latch 22 weitergeleitet. Zur Zeit t1 wird der Latch 22 auch in den Durchlaßzustand versetzt. Daher gibt der Latch 22 seine Eingabe direkt aus. Das bedeutet, daß der Latch 22 ein Latch-Signal DO1 ausgibt, das auf niedrigem Pegel gehalten wird.

5 Zur Zeit t2 gibt das UND-Gatter 24 mit drei Eingängen, für das das Taktsignal CLK eine Eingabe ist, dann, wenn das Taktsignal CLK in bezug auf den Pegel auf niedrig abgesenkt wird, das Pulldown-Signal PD aus, das in bezug auf den Pegel dementsprechend auf niedrig abgesenkt wird (siehe Fig. 7G). Somit wird der Transistor 14 AUS-geschaltet, so daß das Herunterziehen zur Bitleitung D1 gestoppt wird.

Synchron zum Taktsignal CLK, das niedrig wird, wird das Vorladesignal PB entsprechend niedrig (siehe Fig. 7A, 7B).
10 Somit werden die Transistoren 25, 26, welchen beiden das Vorladesignal PB eingegeben wird, gleichzeitig EIN-geschaltet. Somit wird ein Vorladen zu den Bitleitungen D0, D1 mittels der Transistoren 25, 26 begonnen.

Zur Zeit t2 werden dann, wenn das Taktsignal CLK niedrig wird, beide Latches 21, 22, zu deren Takteingangs-Anschlüssen das Taktsignal CLK eingegeben wird, gleichzeitig in Zwischenspeicherungs- bzw. Latch-Zustände versetzt. Daher werden bei einer Dauer zwischen den Zeiten t2 und t3, in welcher das Taktsignal CLK niedrig bleibt, Ausgaben
15 der Latches 21, 22 selbst dann überhaupt nicht geändert, wenn ihre Eingaben geändert werden.

Zur Zeit t3 wird dann, wenn das Taktsignal CLK hoch wird, das Vorladesignal PB entsprechend hoch (siehe Fig. 7A, 7B). Somit wird ein Vorladen zu den Bitleitungen D0, D1 gestoppt. Zusätzlich wird die Wortleitung WL1 aktiviert (siehe Fig. 7D), so daß der Zellentransistor Tr10 EIN-geschaltet wird. Für den Zellentransistor Tr10 ist ein Anschluß mit der Bitleitung D0 verbunden, während ein anderer Anschluß mit der GND-Leitung G1 verbunden ist. Da der Zellentransistor
20 Tr10 EIN-geschaltet ist, wird die Bitleitung D0 mittels des Transistors Tr10 mit der GND-Leitung G1 verbunden. Somit wird die Bitleitung D0 in bezug auf den Pegel auf niedrig abgesenkt (siehe Fig. 7H).

Zu dieser Zeit wird kein Anschluß des Zellentransistors Tr10 mit der Bitleitung D1 verbunden. Somit wird die Bitleitung D1 in bezug auf den Pegel nicht geändert und bleibt auf dem hohen Pegel. Das bedeutet, daß ein Zustand eingestellt wird, in welchem D0 = niedrig und D1 = hoch gilt. Somit ist es möglich, zu bestimmen, daß die gespeicherten Informationen des Zellentransistors Tr10 (01) sein sollten.

25 Wenn die Verzögerungszeit des Verzögerungselements 23 von der Zeit t3 an verstreicht, wird die Ausgabe des Verzögerungselements 23 in bezug auf den Pegel auf hoch erhöht.

In diesem Fall ist die Ausgabe des Leseverstärkers SA0 aufgrund des vorgenannten Zustandes, wobei D0 = niedrig, D1 = hoch gilt, jedoch hoch, während die Ausgabe des Leseverstärkers SA1 niedrig ist. Diese Ausgaben der Leseverstärker SA0, SA1 werden zum Exklusiv-NOR-Gatter 15 eingegeben, von welchem eine Ausgabe niedrig ist. Eine solche Ausgabe mit niedrigem Pegel des NOR-Gatters 15 wird zu einem ersten Eingang des ODER-Gatters 16 zugeführt, dessen zweiter Eingang das Pulldown-Signal PD empfängt. Zu dieser Zeit ist das Pulldown-Signal PD auf dem niedrigen Pegel. Das bedeutet, daß beide Eingänge des ODER-Gatters 16 niedrig sind. Als Ergebnis ist eine Ausgabe des ODER-Gatters 16 niedrig. Eine solche Ausgabe mit niedrigem Pegel des ODER-Gatters 16 wird dem UND-Gatter 24 mit drei
35 Eingängen eingegeben. Daher gibt das UND-Gatter 24 mit drei Eingängen das Pulldown-Signal PD aus, das auf dem niedrigen Pegel bleibt. In diesem Fall wird die Bitleitung D1 keinem Herunterziehen unterzogen. Die vorgenannte Ausgabe mit hohem Pegel des Leseverstärkers SA0 wird mittels des Latches 21 als das Latch-Signal DO0 (hoch, siehe Fig. 7J) geliefert. Zusätzlich bleibt das Pulldown-Signal PD auf dem niedrigen Pegel (siehe Fig. 7G), so daß der Selektor 20, zu dessen Steuer-Anschluß das Pulldown-Signal PD eingegeben wird, in dem Zustand gehalten wird, um die Ausgabe (mit niedrigem Pegel) des Leseverstärkers SA1 auszuwählen. Weiterhin wird die Ausgabe des Selektors 20 mittels des Latches 22 als das Latch-Signal DO0 geliefert. Somit bleibt das Latch-Signal DO1 auf dem niedrigen Pegel (siehe Fig. 7K).

Zur Zeit t4 wird das Taktsignal CLK in bezug auf den Pegel auf niedrig geändert, so daß die Latches 21, 22 jeweils in die Latch-Zustände versetzt werden. Danach werden die Latch-Signale DO0, DO1 in bezug auf den Pegel bis zur Zeit t5
45 überhaupt nicht geändert, zu der das Taktsignal CLK in bezug auf den Pegel auf hoch geändert wird. Daher wird ein Vorladen zur Bitleitung zu der Zeit begonnen, die gegenüber der Zeit t4 etwas verzögert ist, so daß die Bitleitung D0 in bezug auf den Pegel von niedrig auf hoch geändert wird (siehe Fig. 7H). In Antwort auf eine solche Pegeländerung der Bitleitung D0 wird die Ausgabe des Leseverstärkers SA0, die eine Eingabe zum Latch 21 ist, in bezug auf den Pegel von hoch auf niedrig geändert. Jedoch wird die Ausgabe des Latches 21, die dem Latch-Signal DO0 entspricht (siehe Fig. 7J),
50 in bezug auf den Pegel nicht geändert.

Bei einer Zeitdauer t5-t6, die einer Dauer des Vorladens zwischen den Zeiten t4 und t5 folgt, wird die Wortleitung WL2 aktiviert (siehe Fig. 7E), so daß der Zellentransistor Tr20 EIN-geschaltet wird. Wie es zuvor beschrieben ist, ist der Zellentransistor Tr20 jeweils mit der GND-Leitung G2 und der Bitleitung D1 verbunden. Wenn die Wortleitung WL2 aktiviert wird, so daß der Zellentransistor Tr20 EIN-geschaltet wird, wird die Bitleitung D1 in bezug auf den Pegel auf
55 niedrig abgesenkt (siehe Fig. 7I). Jedoch ist der Zellentransistor Tr20 nicht mit der Bitleitung D0 verbunden. Somit wird die Bitleitung D0 in bezug auf den Pegel nicht geändert und bleibt auf dem hohen Pegel (siehe Fig. 7H). Das bedeutet, daß ein Zustand ausgebildet wird, in welchem D0 = hoch und D1 = niedrig gilt. Somit ist es möglich, zu bestimmen, daß gespeicherte Informationen des Zellentransistors Tr20 (10) sind.

Übrigens wird das Pulldown-Signal PD in bezug auf den Pegel selbst dann nicht auf hoch erhöht, wenn die Verzögerungszeit Td von der Zeit t5 ab verstreicht. Dies erfolgt aufgrund derselben Operationen, die die Schaltung bei der vorangehenden Zeitdauer t3-t4 durchführt.

Verglichen mit der vorangehenden Zeitdauer t3-t4 ist eine Beziehung zwischen den Systemen SA0 und SA1 in bezug auf die Zeitdauer t5-t6 invertiert. Jedoch wiederholt die Schaltung dieselben Operationen der Zeitdauer t3-t4 in bezug auf die Leseverstärker SA0, SA1, den Selektor 20 und die Latches 21, 22 in der Zeitdauer t5-t6. Zusätzlich werden in einer Zeitdauer t6-t7 die Latches 21, 22 in die Latch-Zustände versetzt, während die Bitleitungen D0, D1 einem Vorladen unterzogen werden. Jedoch wiederholt die Schaltung dieselben Operationen der Zeitdauer t5-t6 in der Zeitdauer t6-t7.

65 in einer Zeitdauer t7-t9, die der vorgenannte Zeitdauer t6-t7 für das Vorladen folgt, wird die Wortleitung WL3 aktiviert (siehe Fig. 7F), so daß der Zellentransistor Tr30 EIN-geschaltet wird. Wie es zuvor beschrieben ist, ist der Zellen-

transistor Tr30 mit den Bitleitungen D0 und D1 verbunden. Daher werden selbst dann, wenn die Wortleitung WL3 aktiviert wird, so daß der Zellentransistor Tr30 EIN-geschaltet wird, die Bitleitungen D0, D1 in bezug auf die Pegel nicht geändert und bleiben für eine Weile auf hohen Pegeln. In diesem Fall ist es möglich, zu bestimmen, daß gespeicherte Informationen des Zellentransistors Tr30 (00) oder (11) sind.

Bei der obigen Dauer halten die Bitleitungen D0, D1 dieselben Potentialpegel wie bei der vorangehenden Zeitdauer t_0-t_1 . Aufgrund derselben Operationen wie bei der Zeitdauer t_0-t_1 sind beide der Latch-Signale DO0, DO1 niedrig (siehe Fig. 7J, 7K).

Zu einer Zeit t_8 wiederholt die Schaltung dann, wenn die Verzögerungszeit T_d ab der Zeit t_7 verstreicht, dieselben Operationen wie bei der vorangehenden Zeit t_1 . Das bedeutet, daß das Pulldown-Signal PD hoch wird, während die Bitleitung D1 mittels des Transistors 14 einem Herunterziehen unterzogen wird und niedrig wird. In diesem Fall werden die Bitleitungen D0 und D1 mittels des Zellentransistors Tr30 miteinander verbunden. Somit wird die Bitleitung D0 synchron zu dem Herunterziehen zur Bitleitung D1 in bezug auf den Pegel dementsprechend auf niedrig abgesenkt. Somit ist es möglich, zu bestimmen, daß gespeicherte Informationen des Zellentransistors Tr30 (11) sind.

In einer Zeitdauer t_8-t_9 wiederholt die Schaltung grundsätzlich dieselben Operationen bei der vorangehenden Zeitdauer t_1-t_2 . Unterschiedlich gegenüber der Zeitdauer t_1-t_2 sind in der Zeitdauer t_8-t_9 beide Bitleitungen D0, D1 niedrig. Somit sind beide Ausgaben der Leseverstärker SA0, SA1 hoch. Das bedeutet, daß die Ausgabe des Latches 21 (d. h. das Latchsignal DO0, siehe Fig. 7J), der die Ausgabe des Leseverstärkers SA0 eingibt, zur Zeit t_8 hoch wird.

Die vorgenannten Ausgaben mit hohem Pegel der Leseverstärker SA0, SA1 werden dem UND-Gatter 18 eingegeben, von welchem eine Ausgabe hoch ist. Eine solche Ausgabe mit hohem Pegel des UND-Gatters 18 wird durch den Selektor 20 ausgewählt und wird zum Latch 22 weitergeleitet. Somit wird das Latch-Signal DO1 entsprechend der Ausgabe des Latches 22 zur Zeit t_8 hoch (siehe Fig. 7K).

Zur Zeit t_9 werden dann, wenn das Taktsignal CLK niedrig wird, die Latches 21, 22 jeweils in Latch-Zustände versetzt. Das bedeutet, daß Ausgaben der Latches 21, 22 zur Zeit t_9 fest sind, was gleich wie bei den vorangehenden Zeiten t_2 , t_4 und t_6 ist.

Wie es oben beschrieben ist, führt die Schaltung die vorgenannten Operationen zum Auslesen eines 2-Bit-Codes durch, der in einem "Ziel"-Zellentransistor gespeichert ist, der ein Ziel zum Lesen von Informationen ist, wie folgt:

Synchron zu einem Pegelanstieg des Taktsignals CLK, das in eine Dauer mit hohem Pegel zu versetzen ist, wird die Wortleitung, die mit dem Ziel-Zellentransistor verbunden ist, aktiviert. Dann liest bei einer Dauer mit niedrigem Pegel des Taktsignals CLK, die nach der Dauer mit hohem Pegel entsteht, die Schaltung in den Latches 21, 22 zwischengespeicherte Daten aus, d. h. Latch-Signale DO0, DO1. Somit ist es möglich, den 2-Bit-Code aus dem Ziel-Zellentransistor auszullesen.

[B] Ausführungsbeispiel 2

Fig. 8 ist ein Schaltungsdiagramm, das einen Aufbau eines Mehrwert-Masken-ROM gemäß einem Ausführungsbeispiel 2 der Erfindung zeigt. Das Ausführungsbeispiel 2 ist dadurch gekennzeichnet, daß eine 3-Bit-Information in einem einzigen Zellentransistor gespeichert ist. Aus diesem Grund sind drei Bitleitungen und eine GND-Leitung verdrahtet, um jeden Zellentransistor zu umgeben. Beispielsweise sind Bitleitungen D0, D1, D2 und eine GND-Leitung G0 verdrahtet, um einen Zellentransistor Q00 zu umgeben. Das bedeutet, daß insgesamt vier Leitungen verdrahtet sind und adäquat mit einem Source-Anschluß und einem Drain-Anschluß des Zellentransistors verbunden sind. Somit ist es möglich, eine 3-Bit-Information gemäß Zuständen von Anschlüssen zu speichern, durch welche der Source-Anschluß und der Drain-Anschluß des Zellentransistors mit den vier Leitungen verbunden sind.

Übrigens verwendet diese Erfindung das Konzept einer "Mehrwertigkeit" für eine Speicherung von Informationen in Speichern. Ein solches Konzept ist auf Logikschaltungen anwendbar, die andere als Speicher sind. Daher kann das Konzept auf Logikschaltungen von Zellenbaustein- bzw. Master-Slice-Baustein-Typen oder andere angewendet werden.

[C] Ausführungsbeispiel 3

Fig. 11 ist ein Schaltungsdiagramm das einen Aufbau eines Mehrwert-Masken-ROM gemäß einem Ausführungsbeispiel 3 der Erfindung zeigt. Fig. 11 zeigt eine Anzahl von Zellentransistoren Tr00, Tr02, Tr04, Tr06, . . . , Tr10, Tr12, Tr14, Tr16. Hierbei sind zwei Bitleitungen und eine GND-Leitung verdrahtet, um jeden Zellentransistor zu umgeben. In Fig. 11 sind Bitleitungen D0 bis D7 in vertikalen Richtungen verdrahtet, während GND-Leitungen G0 bis G1 in horizontalen Richtungen verdrahtet sind.

Beispielsweise sind zwei Bitleitungen D0, D1 und eine GND-Leitung G0 verdrahtet, um den Zellentransistor Tr00 zu umgeben. Zusätzlich sind zwei Bitleitungen D2, D3 und eine GND-Leitung G1 verdrahtet, um den Zellentransistor Tr12 zu umgeben. Übrigens sind alle GND-Leitungen G0, G1, . . . , G1 derart miteinander verbunden, daß sie ein GND-Potential haben.

Weiterhin sind Wortleitungen WL0 bis WL1 jeweils in direkter Nähe zu den Zellentransistoren verdrahtet. Jene Wortleitungen sind in horizontalen Richtungen verdrahtet. Hierbei ist jede Wortleitung mit Gate-Anschlüssen der Zellentransistoren verbunden, die in horizontaler Richtung ausgerichtet sind. Beispielsweise ist die Wortleitung WL0 mit Gate-Anschlüssen der Zellentransistoren Tr00, Tr02, Tr04, Tr06 verbunden, während die Wortleitung WL1 mit Gate-Anschlüssen der Zellentransistoren Tr10, Tr12, Tr14, Tr16 verbunden ist.

Unterschiedlich vom herkömmlichen Stand der Technik, bei dem ein Speichern von Informationen einem Codieren durch Ändern von Schwellen der Zellentransistoren unterzogen wird, ist der Mehrwert-Masken-ROM des vorliegenden Ausführungsbeispiels dadurch gekennzeichnet, daß ein Speichern von Informationen einem Codieren gemäß Zuständen von Anschlüssen unterzogen wird, durch welche der Source-Anschluß und der Drain-Anschluß jedes Zellentransistors mit zwei Bitleitungen, einer Wortleitung und einer GND-Leitung verbunden sind. Aus diesem Grund wird ein einziger Wert für Schwellen aller Zellentransistoren im Mehrwert-Masken-ROM eingestellt. Zusätzlich werden nur zwei Pegel

(d. h. ein hoher Pegel und ein niedriger Pegel) für eine Spannung verwendet, die an den Gate-Anschluß des Zellentransistors angelegt wird, um einen Code aus dem Zellentransistor im Mehrwert-Masken-ROM auszulesen.

Im Mehrwert-Masken-ROM ist eine Anzahl von Kombinationen von Anschlüssen gebildet, durch welche zwei Anschlüsse (z. B. ein Source-Anschluß und ein Drain-Anschluß) des Zellentransistors adäquat mit vier Leitungen (d. h. zwei Bitleitungen, einer Wortleitung und einer GND-Leitung) verbunden sind. Jene Kombinationen von Anschlüssen beziehen sich jeweils auf sechs Zustände (000), (001), (010), (011), (100), (101), in welche jeder Zellentransistor versetzt wird. Beziehungen zwischen den sechs Zuständen und den Verbindungen zwischen den Anschlüssen des Zellentransistors und den Leitungen werden wie folgt zusammengefaßt:

(000), (101): Einer des Source-Anschlusses und des Drain-Anschlusses ist mit einer Bitleitung verbunden, während der andere mit der GND-Leitung verbunden ist.

(001): Keiner des Source-Anschlusses und des Drain-Anschlusses ist mit irgendeiner der Leitungen verbunden.

(010): Der Source-Anschluß und der Drain-Anschluß sind jeweils mit den benachbarten Bitleitungen verbunden.

(011), (100): Einer des Source-Anschlusses und des Drain-Anschlusses ist mit einer Bitleitung verbunden, während der andere mit der Wortleitung verbunden ist.

Daher kann eine Nachprüfung von ROM-Codes durch Ändern von Verbindungen zwischen den Anschlüssen des Zellentransistors und seiner umgebenden Leitungen erreicht werden. Anders ausgedrückt ist es möglich, die ROM-Codes durch Ändern des Verdrahtungsprozesses zu ändern.

Wie es zuvor beschrieben ist, benötigt das vorliegende Ausführungsbeispiel nur zwei Pegel (d. h. einen hohen Pegel und einen niedrigen Pegel) als Spannung, die an den Gate-Anschluß des Zellentransistors angelegt wird. Daher sind nur zwei Pegel als Spannung erforderlich, die an die Wortleitung angelegt wird.

Fig. 12 ist eine Draufsicht, die einen Aufbau des Mehrwert-Masken-ROM des Ausführungsbeispiels 3 in einer integrierten Schaltung zeigt. Tatsächlich zeigt Fig. 12 einen Anfangszustand des Mehrwert-Masken-ROM, in welchem überhaupt keine ROM-Codes ausgebildet sind. Anders ausgedrückt sind keine Verbindungen für Source-Anschlüsse und Drain-Anschlüsse aller Zellentransistoren in Fig. 12 ausgebildet.

Aktive Bereiche sind Bereiche, in welchen die Zellentransistoren ausgebildet sind. GND-Leitungen sind durch Polysilizium hergestellt und sind in horizontaler Richtung in oberen und unteren Abschnitten verdrahtet, die benachbart zum aktiven Bereich sind. Zusätzlich sind die Wortleitungen WL0, WL1 aus Polysilizium hergestellt und sind in horizontaler Richtung derart verdrahtet, daß sie jeweils Zentren der aktiven Bereiche durchqueren.

Jeder der Bereiche, die durch gestrichelte Linien umgeben sind, zeigt eine erste Metallschicht. Durchgänge sind in einigen der Bereiche der ersten Metallschicht vorgesehen. Die vorgenannten Bitleitungen D0 bis D7 sind als Bereiche einer zweiten Metallschicht ausgebildet. Wie es zuvor beschrieben ist, zeigt Fig. 12 den Anfangszustand des Mehrwert-Masken-ROMs, in welchem überhaupt keine ROM-Codes ausgebildet sind. Somit sind keine Kontakte und gestapelte Durchgänge im Mehrwert-Masken-ROM der Fig. 12 ausgebildet. Übrigens ist der gestapelte Durchgang ein Bereich, in welchem sowohl der Kontakt als auch ein Durchgang ausgebildet sind.

Fig. 13 ist eine Querschnittsansicht entlang der Linie C-C' in Fig. 12. Hierbei ist eine p-Wanne als eine obere Schicht auf einem p-Substrat ausgebildet. Zusätzlich sind n+-Bereiche an einigen Abschnitten in direkter Nähe zu einer oberen Oberfläche der p-Wanne ausgebildet. Hierbei enthält der aktive Bereich zwei n+-Bereiche, die jeweils einem Source-Bereich und einem Drain-Bereich entsprechen.

Wie es zuvor beschrieben ist, ist nur ein einziger Wert für Schwellen aller Zellentransistoren in dem Mehrwert-Masken-ROM des vorliegenden Ausführungsbeispiels erforderlich. Somit ist es unnötig, eine Ionenimplantation durchzuführen, die herkömmlicherweise erforderlich ist, um die Schwelle jedes Zellentransistors zu ändern. Aus diesem Grund ist es unnötig, eine Maske vorzubereiten, die für die obige Ionenimplantation verwendet wird. Übrigens ist ein Trennbereich zwischen zwei aktiven Bereichen ausgebildet, die zueinander benachbart sind.

GND-Leitungen sind durch Polysilizium hergestellt und sind als obere Schichten in Trennbereichen ausgebildet. Zusätzlich sind Gate-Elektroden durch Polysilizium hergestellt und sind bei ausgewählten Abschnitten ausgebildet, von welchen jede in Sandwichbauweise zwischen dem Source-Bereich und dem Drain-Bereich auf der oberen Oberfläche der p-Wanne ausgebildet ist. Die Gate-Elektroden fallen mit den vorgenannten Wortleitungen zusammen. Hierbei hat beim vorliegenden Ausführungsbeispiel jeder Zellentransistor einen Projektionsabschnitt, der Verbindungen zwischen der Gate-Elektrode, dem Source-Anschluß und dem Drain-Anschluß durch einen gemeinsamen Kontakt ermöglicht.

Wie es zuvor beschrieben ist, benötigt das vorliegende Ausführungsbeispiel einen einzigen Wert für die Schwelle der Zellentransistoren im Mehrwert-Masken-ROM. Somit ist es unnötig, eine Ionenimplantation durchzuführen, die herkömmlicherweise erforderlich ist, um die Schwelle in bezug auf jeden Zellentransistor zu ändern. Daher ist es unnötig, die Ausrichtungsgenauigkeit der Ionenimplantation und die Streudiffusion von Störstellen zu berücksichtigen. Somit ist es möglich, Gate-Abstände bis zu einem derartigen Ausmaß auf so minimal wie möglich zu reduzieren, das eine Anordnung von Kontakten mit minimalen Abständen zuläßt.

Aufgrund der oben beschriebenen Gründe ist beim vorliegenden Ausführungsbeispiel eine Integration der Zellentransistoren des Mehrwert-Masken-ROM nicht durch die Ausrichtungsgenauigkeit und die Streudiffusion von Störstellen beschränkt. Anders ausgedrückt wird die Integration der Zellentransistoren durch Verdrahtungs-Abstände beim Verdrahtungsprozeß bestimmt. Daher ist es im Unterschied gegenüber den herkömmlichen Speichern möglich, die Integration der Zellentransistoren zu verbessern, wenn die Feinherstellung des CMOS-Prozesses entwickelt wird. Ein Isolierfilm ist auf den GND-Leitungen und den Gate-Elektroden ausgebildet. Die vorgenannten Bereiche der ersten Metallschicht sind auf dem Isolierfilm ausgebildet. Dann ist ein Isolierfilm weiterhin auf der ersten Metallschicht ausgebildet. Danach wird die zweite Metallschicht auf dem Isolierfilm ausgebildet, um die Bitleitung auszubilden. Die Durchgänge werden ausgebildet, um Verbindungen zwischen der zweiten Metallschicht und den Bereichen der ersten Metallschicht auszubilden, die miteinander verbunden werden sollten.

Fig. 14A ist ein Schaltungsdiagramm, das einen ausgewählten Teil einer integrierten Schaltung entsprechend dem Mehrwert-Masken-ROM zeigt, in welchen ROM-Codes geschrieben sind. Fig. 14B ist eine Draufsicht, die einen Aufbau der integrierten Schaltung der Fig. 14A zeigt. Hierbei sind Kontakte und gestapelte Durchgänge bei ausgewählten Ab-

schnitten der integrierten Schaltung ausgebildet.

Fig. 15 ist eine Querschnittsansicht entlang der Linie D-D' in Fig. 14B. Hierbei ist ein Kontakt zwischen einem Bereich, der am weitesten rechts ist, der ersten Metallschicht und einem Grenzabschnitt zwischen einem n+-Bereich und einer Wortleitung ausgebildet. Dieser Kontakt verbindet den n+-Bereich und eine Wortleitung miteinander. Gleichermäßen ist ein Kontakt zwischen einem zweiten Bereich der ersten Metallschicht, der von der linken Seite der Fig. 15 aus zu sehen ist, und einem Grenzabschnitt zwischen einem n+-Bereich und einer GND-Leitung ausgebildet. Dieser Kontakt verbindet den n+-Bereich und die GND-Leitung miteinander.

Zusätzlich ist ein Kontakt zwischen einem Bereich, der ganz links ist, der ersten Metallschicht und einem n+-Bereich ausgebildet. Als Ergebnis ist der ganz linke Bereich der ersten Metallschicht mittels des Kontakts mit seinem entsprechenden n+-Bereich verbunden. Der ganz linke Bereich der ersten Metallschicht ist mittels eines Durchgangs auch mit einer zweiten Metallschicht verbunden. Das bedeutet, daß sowohl der Kontakt als auch der Durchgang in bezug auf einen Bereich ausgebildet sind, der dem Bereich der ersten Metallschicht entspricht, der am weitesten links ist. Aus diesem Grund ist in Fig. 14B eine Markierung (d. h. ein schwarzes Quadrat) eines gestapelten Durchgangs bei einer Position entsprechend dem obigen Bereich dargestellt.

Als nächstes werden Operationen des Ausführungsbeispiels 3 unter Bezugnahme auf Fig. 16 und Zeitdiagramme der Fig. 17A bis 17I detailliert beschrieben. Hierbei zeigt Fig. 16 einen ausgewählten Teil des Mehrwert-Masken-ROMs und seine Schaltung zum Auslesen von Informationen aus jedem Zellentransistor. Insbesondere zeigt Fig. 16 nur einen Teil eines Vierwert-Masken-ROMs, der eine Reihe von Zellentransistoren Tr00, Tr10, Tr20 und Tr30 enthält, die in einer Spalte angeordnet sind und die durch Bitleitungen D0, D1, Wortleitungen WL0-WL3 und GND-Leitungen G0-G3 umgeben sind. Die Wortleitungen WL0, WL1, WL2 und WL3 sind jeweils mit Gate-Anschlüssen der Zellentransistoren Tr00, Tr10, Tr20 und Tr30 verbunden.

Der vorgenannte Vierwert-Masken-ROM ist derart entworfen, daß die Zellentransistoren Tr00, Tr10, Tr20 und Tr30 vierwertige Codes von jeweils (00), (01), (10) und (11) speichern. Informationen, die in jedem Zellentransistor gespeichert werden, werden durch Verbindungen von Leitungen umgesetzt, die adäquat mit zwei Anschlüssen jedes Zellentransistors verbunden sind. Das bedeutet, daß zwei Anschlüsse (z. B. ein Source-Anschluß und ein Drain-Anschluß) des Zellentransistors Tr00 jeweils mit der Bitleitung D0 und der GND-Leitung G0 verbunden sind. Keiner des Source-Anschlusses und des Drain-Anschlusses des Zellentransistors Tr10 ist mit irgendeiner der Leitungen verbunden. Zwei Anschlüsse des Transistors Tr20 sind jeweils mit den Bitleitungen D0, D1 verbunden. Zwei Anschlüsse des Zellentransistors Tr30 sind jeweils mit der Wortleitung WL3 und der Bitleitung D1 verbunden.

Die Bitleitung D0 ist mit einem Drain-Anschluß eines PMOS-(oder P-Kanal-MOS-)Transistors verbunden, der vorgesehen ist, um ein Vorladen auf die Bitleitung D0 durchzuführen. Ein Source-Anschluß des PMOS-Transistors ist mit einer Versorgungsquelle mit einem hohen Pegel verbunden. Ein Gate-Anschluß des PMOS-Transistors ist "niedrig aktiv". Ein Taktsignal CLK wird als Vorladesignal zum Gate-Anschluß des PMOS-Transistors zugeführt.

Zusätzlich ist die Bitleitung D1 mit einem Drain-Anschluß eines NMOS-(oder N-Kanal-MOS-)Transistors verbunden, der vorgesehen ist, um ein Herunterziehen zur Bitleitung D1 zu bewirken. Ein Source-Anschluß des NMOS-Transistors ist geerdet. Ein Gate-Anschluß des NMOS-Transistors ist "hoch aktiv". Ein invertiertes Signal des Taktsignals CLK wird als Pulldown-Signal zum Gate-Anschluß des NMOS-Transistors zugeführt.

Die Bitleitungen D0, D1 sind jeweils mit Eingangs-Anschlüssen von Leseverstärkern SA0, SA1 verbunden. Jeder der Leseverstärker SA0, SA1 gibt seine Eingabe direkt aus, die einem Zustand (oder einer Logik) der Bitleitung entspricht, die mit ihm verbunden ist. Hierbei hat der Leseverstärker SA0 einen logischen Entscheidungspiegel (siehe Fig. 7F), der höher als ein halber Pegel (d. h. $(VDD-GND)/2$) ist, der zwischen einem hohen Pegel (VDD) und einem niedrigen Pegel (GND) berechnet wird. Zusätzlich hat der Leseverstärker SA1 einen logischen Entscheidungspiegel (siehe Fig. 7G), der niedriger als der vorgenannte halbe Pegel zwischen dem hohen Pegel und dem niedrigen Pegel ist.

Ausgaben der Leseverstärker SA0, SA1 werden jeweils zu Latches LA0, LA1 zugeführt. Beide Latches LA0, LA1 haben dieselbe Funktion. Das bedeutet, daß dann, wenn das Taktsignal CLK, das zu einem Takteingangs-Anschluß eingegeben wird, hoch wird, der Latch in einen Durchlaßzustand versetzt wird, um seine Eingabe direkt zu seinem Ausgang durchzulassen. Wenn das Taktsignal CLK niedrig wird, wird der Latch in einen Latch-Zustand versetzt, um seine Eingabe für eine Weile zwischenspeichern. Das bedeutet, daß der Latch seine zwischengespeicherte Eingabe während einer Zeitperiode kontinuierlich ausgibt, in welcher das Taktsignal auf einem niedrigen Pegel ist. Übrigens geben die Latches LA0, LA1 jeweils Latch-Signale DO0, DO1 aus.

Wie es oben beschrieben ist, wird das Taktsignal CLK zu den Takteingangs-Anschlüssen der Latches LA0, LA1 zugeführt. Zusätzlich wird das Taktsignal CLK auch zu einem Gate-Anschluß des PMOS-Transistors geliefert, der zum Vorladen auf die Bitleitung D0 verwendet wird, sowie als Inverter, der das Pulldown-Signal erzeugt, durch welches die Bitleitung D1 einem Herunterziehen unterzogen wird.

Als nächstes wird ein Verfahren zum Auslesen einer 2-Bit-Information, die in jedem Zellentransistor gespeichert ist, beschrieben. Zuerst wird das Taktsignal CLK in einen niedrigen Pegel versetzt, so daß sowohl der PMOS-Transistor als auch der NMOS-Transistor, die jeweils mit den Bitleitungen D0, D1 verbunden sind, EIN-geschaltet werden. Dies initiiert ein Vorladen auf die Bitleitung D0, wodurch die Bitleitung D0 auf einen hohen Pegel versetzt wird. Zusätzlich wird die Bitleitung D1 einem Herunterziehen unterzogen, wodurch die Bitleitung D1 auf einen niedrigen Pegel versetzt wird.

Als nächstes wird das Taktsignal CLK auf einen hohen Pegel erhöht, so daß sowohl der PMOS-Transistor als auch der NMOS-Transistor, die jeweils mit den Bitleitungen D0, D1 verbunden sind, AUS-geschaltet werden. Dies beendet das Vorladen auf die Bitleitung D0 und ein Herunterziehen auf die Bitleitung D1. Zu dieser Zeit existiert kein Pfad zum Freigeben von Ladungen der Bitleitung D0, und es existiert kein Pfad zum Anlegen von Ladungen an die Bitleitung D1, selbst dann, wenn der PMOS-Transistor und der NMOS-Transistor AUS-geschaltet werden. Somit bleibt die Bitleitung D0 auf dem hohen Pegel, während die Bitleitung D1 auf dem niedrigen Pegel bleibt. Danach wird eine spezifische Wortleitung, die mit einem Gate-Anschluß eines "Ziel"-Zellentransistors verbunden ist, der ein Ziel zum Auslesen von Information ist, aktiviert; anders ausgedrückt wird sie in bezug auf einen Pegel von niedrig auf hoch geändert, so daß der Ziel-Zellentransistor EIN-zu schalten ist. Zum Auslesen von Informationen, die beispielsweise im Zellentransistor Tr00 ge-

speichert sind, wird seine entsprechende Wortleitung WL0 aktiviert, so daß der Zellentransistor Tr00 EIN-geschaltet wird.

Dann werden Zustände (oder Pegel) der Bitleitungen D0, D1 Entscheidungen durch die jeweiligen Leseverstärker SA0, SA1 unterzogen. Im Fall des Vierwert-Masken-ROM der Fig. 16 ist es möglich, nach einer Aktivierung der Wortleitung basierend auf Potentialschwankungen der Bitleitungen D0, D1 vier Zustände zu unterscheiden.

Beispielsweise kann dann, wenn eine Pegeländerung nur auf der Bitleitung D0 auftritt, deren Pegel von hoch auf niedrig geändert wird, während die Bitleitung D1 auf niedrig bleibt, gesagt werden, daß ein Anschluß des Zellentransistors, der nahe der Bitleitung D1 ist, mit der GND-Leitung verbunden ist. Somit ist es möglich, zu bestimmen, daß gespeicherte Informationen des Zellentransistors (00) sind.

Wenn keine Pegeländerung auf beiden Bitleitungen D0, D1 auftritt, kann gesagt werden, daß der Zellentransistor überhaupt nicht mit den Bitleitungen D0, D1 verbunden ist. Somit ist es möglich, zu bestimmen, daß gespeicherte Informationen des Zellentransistors (01) sind.

Wenn Potentialschwankungen auf den jeweiligen Bitleitungen D0, D1 auftreten, so daß eine Potentialdifferenz zwischen den Bitleitungen D0 und D1 klein wird, kann gesagt werden, daß der Zellentransistor mit beiden Bitleitungen D0 und D1 verbunden ist. Somit ist es möglich, zu bestimmen, daß gespeicherte Informationen des Zellentransistors (10) sind.

Wenn keine Pegeländerung auf der Bitleitung D0 auftritt, während die Bitleitung D1 in bezug auf ein Potential erhöht wird, um einen spezifischen Pegel zu erreichen, der um eine Schwellenspannung (V_t) des Zellentransistors niedriger als der hohe Pegel ist, kann gesagt werden, daß der Zellentransistor mit der Wortleitung und der Bitleitung D1 verbunden ist. Somit ist es möglich, zu bestimmen, daß gespeicherte Informationen des Zellentransistors (11) sind.

Als nächstes werden konkrete Operationen der vorgenannten Schaltung, die in Fig. 16 gezeigt ist, unter Bezugnahme auf Zeitdiagramme der Fig. 17A bis 17I detailliert beschrieben. Umrissene Operationen der Schaltung, die durch die Zeitdiagramme gezeigt sind, sind wie folgt:

Bei einer Dauer von t_0 – t_1 wird die Wortleitung WL0 aktiviert, so daß Daten des Zellentransistors Tr00 ausgelesen werden. Dann werden Daten der Zellentransistoren Tr10, Tr20 und Tr30 bei einer Dauer von t_2 – t_3 , einer Dauer von t_4 – t_5 und einer Dauer von t_6 – t_7 sequentiell ausgelesen.

Bei einer Zeitperiode (beispielsweise vor einer Zeit t_0), in welcher das Taktsignal CLK auf einem niedrigen Pegel ist, werden sowohl der PMOS-Transistor als auch der NMOS-Transistor, die jeweils mit den Bitleitungen D0 und D1 verbunden sind, EIN-geschaltet. Dies initiiert ein Vorladen zur Bitleitung D0, so daß die Bitleitung D0 in bezug auf den Pegel auf hoch erhöht wird. Zusätzlich wird die Bitleitung D1 einem Herunterziehen unterzogen und in einen niedrigen Pegel versetzt. Wie es zuvor beschrieben ist, sind die Bitleitungen D0, D1 jeweils mit den Leseverstärkern SA0, SA1 verbunden, die in Durchlaßzustände versetzt werden, um Eingaben direkt zu Ausgängen durchzulassen. Somit liefert der Leseverstärker SA0 eine Ausgabe mit hohem Pegel, während der Leseverstärker SA1 eine Ausgabe mit niedrigem Pegel liefert.

Bei einer Zeitperiode, in welcher das Taktsignal CLK auf einem hohen Pegel ist, werden sowohl der PMOS-Transistor als auch der NMOS-Transistor, die jeweils mit den Bitleitungen D0, D1 verbunden sind, AUS-geschaltet. Dies beendet das Vorladen zur Bitleitung D0 und ein Herunterziehen zur Bitleitung D1. Somit beginnt die Schaltung der Fig. 16, Daten zu erfassen, die in den Zellentransistoren gespeichert sind.

Zu einer Zeit t_0 beendet die Schaltung dann, wenn das Taktsignal CLK in bezug auf den Pegel von niedrig auf hoch geändert wird (siehe Fig. 17A), das Vorladen zur Bitleitung D0 und ein Herunterziehen zur Bitleitung D1.

Zur selben Zeit wird die Wortleitung WL0 in bezug auf den Pegel von niedrig auf hoch angehoben (siehe Fig. 17B), so daß ein hoher Pegel an den Gate-Anschluß des Zellentransistors Tr00 angelegt wird, der EIN-geschaltet wird. In bezug auf den Zellentransistor Tr00 ist ein Anschluß mit der Bitleitung D0 verbunden, und ein anderer Anschluß ist mit der GND-Leitung G0 verbunden. Somit ist die Bitleitung D0 mittels des Zellentransistors Tr00, der EIN-geschaltet ist, mit der GND-Leitung G0 verbunden. Somit wird die Bitleitung D0 in einen niedrigen Pegel versetzt.

Kein Anschluß des Zellentransistors Tr00 ist mit der Bitleitung D1 verbunden. Somit tritt keine Pegeländerung auf der Bitleitung D1 auf, die auf dem niedrigen Pegel bleibt. Das bedeutet, daß ein Zustand gebildet wird, in welchem D0 = niedrig, D1 = niedrig gilt. Somit ist es möglich, zu bestimmen, daß gespeicherte Informationen des Zellentransistors Tr00 (00) sind.

Die vorgenannten Werte werden Entscheidungen unterzogen, die durch die Leseverstärker SA0, SA1 durchgeführt werden. Dann werden Entscheidungsergebnisse der Leseverstärker SA0, SA1 zu jeweiligen Latches LA0, LA1 eingegeben. Bei der Dauer von t_0 – t_1 , bei welcher das Taktsignal CLK hoch ist, werden die Latches LA0, LA1 jeweils in Durchlaßzustände versetzt. Somit werden Ausgaben der Leseverstärker SA0, SA1 direkt zu Latch-Signalen DO0, DO1 übertragen. Die vorgenannten Werte werden durch die Latches LA0, LA1 bei einer Dauer von t_1 – t_2 gehalten, bei welcher das Taktsignal CLK niedrig ist. Bei der Dauer von t_1 – t_2 wird die Bitleitung D0 einem Vorladen unterzogen und wird in bezug auf den Pegel auf hoch erhöht, während die Bitleitung D1 einem Herunterziehen unterzogen wird und in einen niedrigen Pegel versetzt wird.

Als nächstes stoppt die Schaltung zu einer Zeit t_2 , wenn das Taktsignal CLK in bezug auf den Pegel von niedrig auf hoch geändert wird, das Vorladen zur Bitleitung D0 und ein Herunterziehen zur Bitleitung D1.

Zur selben Zeit wird die Wortleitung WL1 in bezug auf den Pegel von niedrig auf hoch erhöht (siehe Fig. 17C), so daß ein hoher Pegel an den Gate-Anschluß des Zellentransistors Tr10 angelegt wird, der EIN-geschaltet wird. Da der Zellentransistor Tr10 nicht mit den Bitleitungen D0, D1 verbunden ist, treten selbst dann keine Pegeländerungen auf den Bitleitungen D0, D1 auf, wenn der Zellentransistor Tr10 EIN-geschaltet wird. Somit bleibt die Bitleitung D0 auf dem hohen Pegel, während die Bitleitung D1 auf dem niedrigen Pegel bleibt. Das bedeutet, daß ein Zustand gebildet wird, in welchem D0 = hoch und D1 = niedrig gilt. Somit ist es möglich, zu bestimmen, daß gespeicherte Informationen des Zellentransistors Tr10 (01) sind.

Die vorgenannten Werte werden Entscheidungen unterzogen, die durch die jeweiligen Leseverstärker SA0, SA1 getroffen werden. Bei einer Zeitdauer t_2 – t_3 , in welcher das Taktsignal CLK auf dem hohen Pegel ist, werden beide Latches

LA0, LA1 jeweils in Durchlaßzustände versetzt. Somit werden Ausgaben der Leseverstärker SA0, SA1 direkt zu Latch-Signalen DO0, DO1 übertragen. Diese Werte werden durch die Latches LA0, LA1 bei einer Zeitdauer t_3 – t_4 gehalten, in welcher das Taktsignal CLK auf einem niedrigen Pegel ist. Bei der t_3 – t_4 wird die Bitleitung D0 einem Vorladen unterzogen und bleibt auf dem hohen Pegel, während die Bitleitung D1 einem Herunterziehen unterzogen wird und auf dem niedrigen Pegel bleibt.

Zur Zeit t_4 stoppt die Schaltung dann, wenn das Taktsignal CLK in bezug auf den Pegel von niedrig auf hoch geändert wird, das Vorladen zur Bitleitung D0 und das Herunterziehen zur Bitleitung D1.

Zur selben Zeit wird die Wortleitung WL2 in bezug auf den Pegel von niedrig auf hoch erhöht (siehe Fig. 17D), so daß ein hoher Pegel an den Gate-Anschluß des Zellentransistors Tr20 angelegt wird, der EIN-geschaltet wird. Hierbei ist der Zellentransistor Tr20 mit den Bitleitungen D0 und D1 verbunden. Somit fließen dann, wenn der Zellentransistor Tr20 EIN-geschaltet wird, in der Bitleitung D0 akkumulierte Ladungen mittels des Zellentransistors Tr20 in die Bitleitung D1. Als Ergebnis wird die Bitleitung D0 in bezug auf ein Potential reduziert, während die Bitleitung D1 in bezug auf ein Potential erhöht wird. Schließlich werden beide Potentiale der Bitleitungen D0, D1 nahe einem Zwischenpegel zwischen dem hohen Pegel und dem niedrigen Pegel. Somit wird eine Potentialdifferenz zwischen den Bitleitungen D0, D1 klein.

Wie es zuvor beschrieben ist, wird der logische Entscheidungspegel des Leseverstärkers SA0 auf höher als der Zwischenpegel eingestellt (siehe Fig. 17F), während der logische Entscheidungspegel des Leseverstärkers SA1 auf niedriger als der Zwischenpegel eingestellt wird (siehe Fig. 17G). Daher gibt der Leseverstärker SA0 einen niedrigen Pegel aus, während der Leseverstärker SA1 einen hohen Pegel ausgibt. Somit ist es möglich, zu bestimmen, daß gespeicherte Informationen des Zellentransistors Tr20 (10) sind.

Die vorgenannten Ausgaben der Leseverstärker SA0, SA1 werden jeweils den Latches LA0, LA1 zugeführt. Bei einer Zeitdauer t_4 – t_5 , in welcher das Taktsignal CLK auf einem hohen Pegel ist, werden beide Latches LA0, LA1 jeweils in Durchlaßzustände versetzt. Somit werden die Ausgaben der Leseverstärker SA0, SA1 direkt zu Latch-Signalen DO0, DO1 übertragen. Jene Werte werden in einer Zeitdauer t_5 – t_6 durch die Latches LA0, LA1 gehalten, in welcher das Taktsignal CLK auf einem niedrigen Pegel ist. In der Zeitdauer t_5 – t_6 wird die Bitleitung D0 einem Vorladen unterzogen und wird in bezug auf den Pegel auf hoch erhöht, während die Bitleitung D1 einem Herunterziehen unterzogen wird und in bezug auf den Pegel auf niedrig abgesenkt wird.

Als nächstes stoppt die Schaltung zu einer Zeit t_6 dann, wenn das Taktsignal CLK in bezug auf den Pegel von niedrig auf hoch erhöht wird, das Vorladen zur Bitleitung D0 und ein Herunterziehen zur Bitleitung D1.

Zur selben Zeit wird die Wortleitung WL3 in bezug auf den Pegel von niedrig auf hoch erhöht (siehe Fig. 17E), so daß ein hoher Pegel an den Gate-Anschluß des Zellentransistors Tr30 angelegt wird, der EIN-geschaltet wird. Hierbei ist der Zellentransistor Tr30 nicht mit der Bitleitung D0 verbunden, sondern ist mit der Bitleitung D1 und der Wortleitung WL3 verbunden. Somit wird selbst dann, wenn der Zellentransistor Tr30 EIN-geschaltet wird, die Bitleitung D0 in bezug auf das Potential nicht geändert. Zusätzlich ist die Bitleitung D1 mittels des Zellentransistors Tr30 mit der Wortleitung WL3 verbunden, so daß die Bitleitung D1 in bezug auf das Potential erhöht wird. Schließlich erreicht das Potential des Zellentransistors Tr30 einen spezifischen Pegel, der um eine Schwellenspannung des Zellentransistors Tr30 niedriger als der hohe Pegel ist.

Es wird wiederholt, daß der logische Entscheidungspegel des Leseverstärkers SA1 auf niedriger als der Zwischenpegel eingestellt ist. Aus diesem Grund geben beide Leseverstärker SA0, SA1 hohe Pegel aus. Somit ist es möglich, zu bestimmen, daß gespeicherte Informationen des Zellentransistors Tr30 (11) sind.

Die Leseverstärker SA0, SA1 geben die hohen Pegel aus, die jeweils zu den Latches LA0, LA1 eingegeben werden. Bei einer Zeitdauer t_6 – t_7 , in welcher das Taktsignal CLK auf einem hohen Pegel ist, werden beide Latches LA0, LA1 in Durchlaßzustände versetzt. Somit werden die Ausgaben hohen Pegels der Leseverstärker SA0, SA1 direkt zu Latch-Signalen DO0, DO1 übertragen. Diese Werte werden durch die Latches LA0, LA1 in einer Zeitperiode nach einer Zeit t_7 gehalten, in welcher das Taktsignal CLK auf einem niedrigen Pegel ist.

Die vorgenannten Operationen werden wie folgt zusammengefaßt:

Synchron zu einer Pegeländerung des Taktsignals CLK, das auf hoch erhöht wird, wird eine Aktivierung auf der Wortleitung durchgeführt, die mit dem Gate-Anschluß des "Ziel"-Zellentransistors verbunden ist, der ein Ziel zum Auslesen von Information ist. Dann werden die Latch-Signale DO0, DO1 nach einem Verstreichen einer geeigneten Zeit gelesen. Somit ist es möglich, einen 2-Bit-Code auszulesen, der im Ziel-Zellentransistor gespeichert ist.

[D] Ausführungsbeispiel 4

Fig. 18 ist ein Schaltungsdiagramm, das eine Mehrwert-Masken-ROM gemäß einem Ausführungsbeispiel 4 der Erfindung zeigt. Das vorliegende Ausführungsbeispiel ist derart entworfen, daß jeder Zellentransistor zehn Arten von Informationen speichern kann, welche durch vier Bits realisiert sind. Somit sind drei Bitleitungen und eine GND-Leitung verdrahtet, um jeden Zellentransistor zu umgeben. Beispielsweise sind Bitleitungen D0, D1, D2 sowie eine (Abzweigung einer) GND-Leitung und eine Wortleitung WL0 verdrahtet, um einen Zellentransistor R00 zu umgeben. Das bedeutet, daß jeder Zellentransistor insgesamt von fünf Leitungen umgeben ist. Daher ist es möglich, jede der zehn Arten von Informationen in jedem Zellentransistor gemäß Zuständen von Verbindungen zu speichern, durch welche die fünf Leitungen adäquat mit zwei Anschlüssen (z. B. einem Source-Anschluß und einem Drain-Anschluß) des Zellentransistors verbunden sind.

Im Fall der Fig. 18 ist der Mehrwert-Masken-ROM mit zehn Arten von ROM-Codes wie folgt ausgebildet:

(0000): Keiner des Source-Anschlusses und des Drain-Anschlusses ist mit irgendeiner der Leitungen verbunden.
(0001), (0010), (0011): Einer des Source-Anschlusses und des Drain-Anschlusses ist mit einer Bitleitung verbunden, während der andere mit der GND-Leitung verbunden ist.

(0100), (0101), (0110): Der Source-Anschluß und der Drain-Anschluß sind jeweils mit unterschiedlichen Bitleitungen verbunden.

(0111), (1000), (1001): Einer des Source-Anschlusses und des Drain-Anschlusses ist mit einer Bitleitung verbunden.

während der andere mit der Wortleitung verbunden ist.

Das vorangehende Ausführungsbeispiel 2 der Fig. 8 ist derart entworfen, daß jeder Zellentransistor sieben Arten von ROM-Codes speichern kann. Das bedeutet, daß das Ausführungsbeispiel 2 drei Bitleitungen zum Liefern einer Kapazität zum Erzeugen von acht Arten (d. h. $2^3 = 8$) von Zuständen oder weniger verwendet. Zusätzlich benötigt das Ausführungsbeispiel 2 den spezifischen Nach-Prozeß entsprechend einer "Bit-Formgebung", wobei gelesene Daten einer Berechnung in bezug auf benachbarte Bitleitungen unterzogen werden. Gegensätzlich dazu kann das Ausführungsbeispiel 4 eine Anzahl von Arten von ROM-Codes derart erhöhen, daß sie mehr als beim Ausführungsbeispiel 2 sind. Somit ist es möglich, acht oder mehr Arten von Zuständen in bezug auf jeden Zellentransistor unter Verwendung von drei Bitleitungen zu erzeugen. Verglichen mit dem Ausführungsbeispiel 2 kann das Ausführungsbeispiel 4 die drei Bitleitungen auf eine effektivere Weise verwenden.

Wie es hier zuvor beschrieben ist, sind die Ausführungsbeispiele zum Verwenden von zwei oder drei Bitleitungen entworfen, die in bezug auf jeden Zellentransistor des Mehrwert-Masken-ROM verdrahtet sind. Natürlich ist diese Erfindung nicht auf die vorgenannten Ausführungsbeispiele beschränkt. Das bedeutet, daß der Mehrwert-Masken-ROM weiter modifiziert werden kann, um "n" Bitleitungen (wobei "n" eine ganze Zahl nicht kleiner als 2 ist) sowie Wortleitungen und GND-Leitungen zu verwenden. Unter Verwendung jener Leitungen ist es möglich, eine Anzahl von Zuständen in bezug auf jeden Zellentransistor zu erzeugen, welche wie folgt berechnet wird:

$$2 \cdot n + n \cdot \frac{n-1}{2} + 1$$

Wie es hier zuvor beschrieben ist, haben die Ausführungsbeispiele der Erfindung eine Vielfalt technischer Merkmale und Effekte, die wie folgt zusammengefaßt werden:

- (1) Der Mehrwert-Masken-ROM ist derart entworfen, daß ROM-Codes unter Verwendung von Kontakten gebildet werden. So ist es möglich, eine TAT-Zeit bei einer Herstellung bei einer Nachprüfung der ROM-Codes zu reduzieren.
- (2) Eine Nachprüfung von ROM-Codes benötigt lediglich eine Modifikation von Masken, die zum Bilden von Kontakten verwendet werden. Somit ist es möglich, eine Anzahl von Masken zu reduzieren, die modifiziert werden. Beispielsweise benötigt ein Vierwert-Masken-ROM nur eine modifizierte Maske.
- (3) Ein einziger Wert ist für Schwellen von Zellentransistoren des Mehrwert-Masken-ROM erforderlich. Somit ist es unnötig, eine Ionenimplantation durchzuführen, die zum Ändern der Schwellen verwendet wird. Daher ist es unnötig, die Ausrichtungsgenauigkeit der Ionenimplantation und die Streudiffusion von Störstellen zu berücksichtigen. Somit ist es möglich, Gate-Abstände der Zellentransistoren bis zu einem derartigen Ausmaß auf so minimal wie möglich zu reduzieren, das eine Anordnung von Kontakten mit minimalen Abständen zuläßt.
- (4) Eine Integration der Zellentransistoren des Mehrwert-Masken-ROM ist durch die Ausrichtungsgenauigkeit der Ionenimplantation und die Streudiffusion von Störstellen nicht beschränkt. Sie wird durch die Verdrahtungsabstände beim Verdrahtungsprozeß bestimmt. Somit ist es unterschiedlich von der herkömmlichen Technologie möglich, Verbesserungen in bezug auf eine Integration der Zellentransistoren zu erwarten, wenn die Feinherstellung des CMOS-Prozesses entwickelt wird.
- (5) Es ist möglich, Steuerungen von Spannungen zu vereinfachen, die an die Wortleitungen zum Auslesen von ROM-Codes angelegt werden. Beim herkömmlichen Verfahren, das Änderungen der Schwellen erfordert, ist es nötig, die Wortleitung derart zu steuern, daß sie auf jedem von unterschiedlichen Potentialpegeln ist, von welchen eine Anzahl im wesentlichen mit einer Anzahl von Zuständen übereinstimmt, die in jedem Zellentransistor gespeichert sind. Gegensätzlich dazu benötigt diese Erfindung lediglich zwei Potentialpegel, d. h. einen hohen Pegel und einen niedrigen Pegel.
- (6) ROM-Codes, die durch diese Erfindung aktualisiert werden, können einen Zustand verwenden, wobei entweder der Source-Anschluß oder der Drain-Anschluß des Zellentransistors mit der Bitleitung verbunden ist, während der andere mit der Wortleitung verbunden ist. Somit ist es möglich, eine Menge an Informationen zu erhöhen, die zu jedem Zellentransistor geschrieben werden können. Zusätzlich kann diese Erfindung dann, wenn der Zellentransistor dieser Erfindung entworfen ist, um eine selbe Menge von Informationen zu speichern, die im Zellentransistor der herkömmlichen Technologie gespeichert werden, eine Leseoperation zum Auslesen solcher Informationen verglichen mit der herkömmlichen Technologie vereinfachen. Konkret ausgedrückt kann diese Erfindung Vierwert-Informationen (d. h. einen 2-Bit-ROM-Code) durch einen einzigen Leseverstärker auslesen.

Da diese Erfindung in mehreren Formen ausgeführt werden kann, ohne vom Sinngehalt ihrer wesentlichen Eigenschaften abzuweichen, sind die vorliegenden Ausführungsbeispiele daher illustrativ und nicht beschränkend, da der Schutzzumfang der Erfindung eher durch die beigefügten Ansprüche definiert ist als durch die Beschreibung, die ihnen vorangeht, und daher sollen alle Änderungen, die innerhalb von Grenzen und Begrenzungen der Ansprüche fallen oder äquivalent solcher Grenzen und Begrenzungen sind, durch die Ansprüche umfaßt sein.

Patentansprüche

1. Mehrwert-Masken-ROM, der folgendes aufweist:
eine Vielzahl von Wortleitungen (WLO-WLi);
eine Vielzahl von Bitleitungen (D0-D7), die in Richtungen verdrahtet sind, die sich jeweils mit der Vielzahl von Wortleitungen kreuzen;
eine Vielzahl von Zellentransistoren (Tr00-Tri6), die in einer Matrixform an Schnittstellen angeordnet sind, an welchen sich die Wortleitungen und die Bitleitungen schneiden; und

- wenigstens eine einer Erdungsleitung (GND), die mit dem Erdungspotential verbunden ist, und einer Leistungsver-
sorgungsleitung, die mit einem Leistungsverorgungspotential verbunden ist, wobei Gate-Anschlüsse der Zellentransistoren, die sich entlang jeder der Wortleitungen erstrecken, mit einer selben
Wortleitung verbunden sind, und
wobei einer eines Source-Anschlusses und eines Drain-Anschlusses jedes der Zellentransistoren, die sich entlang
jeder der Bitleitungen erstrecken, mit einer der Bitleitung, der Erdungsleitung und der Leistungsverorgungsleitung
verbunden ist, während ein anderer des Source-Anschlusses und des Drain-Anschlusses mit einer Leitung, die nicht
mit einem des Source-Anschlusses und des Drain-Anschlusses verbunden ist, innerhalb der Bitleitung, der Erdungs-
leitung und der Leistungsverorgungsleitung verbunden ist. 5
2. Mehrwert-Masken-ROM nach Anspruch 1, wobei die Vielzahl von Zellentransistoren einen Zellentransistor ent-
hält, dessen Source-Anschluß und dessen Drain-Anschluß überhaupt nicht mit den Bitleitungen, der Erdungsleitung
und der Leistungsverorgungsleitung verbunden sind. 10
3. Mehrwert-Masken-ROM nach Anspruch 2, wobei die Vielzahl von Zellentransistoren einen Zellentransistor ent-
hält, wobei einer des Source-Anschlusses und des Drain-Anschlusses mit der Erdungsleitung verbunden ist, wäh-
rend der andere des Source-Anschlusses und des Drain-Anschlusses mit einer der Bitleitungen verbunden ist, und
einen Zellentransistor, wobei einer des Source-Anschlusses und des Drain-Anschlusses mit einer der Bitleitungen
verbunden ist, während ein anderer des Source-Anschlusses und des Drain-Anschlusses mit einer Bitleitung ver-
bunden ist, die nicht mit einem des Source-Anschlusses und des Drain-Anschlusses verbunden ist. 15
4. Mehrwert-Masken-ROM nach Anspruch 3, wobei zwei Bitleitungen in direkter Nähe zu den Zellentransistoren
verdrahtet sind, die sich entlang der Bitleitungen erstrecken, und wobei die Zellentransistoren einen Zellentransistor
enthalten, wobei einer des Source-Anschlusses und des Drain-Anschlusses mit der Erdungsleitung verbunden ist,
während ein anderer des Source-Anschlusses und des Drain-Anschlusses mit einer der zwei Bitleitungen verbunden
ist, und einen Zellentransistor, wobei einer des Source-Anschlusses und des Drain-Anschlusses mit einer der zwei
Bitleitungen verbunden ist, während ein anderer des Source-Anschlusses und des Drain-Anschlusses mit einer an-
deren der zwei Bitleitungen verbunden ist. 20
5. Mehrwert-Masken-ROM nach Anspruch 4, wobei eine Erdungsleitung entlang der Wortleitung in direkter Nähe
zu den Zellentransistoren verdrahtet ist, die sich entlang der Wortleitung erstrecken. 25
6. Mehrwert-Masken-ROM nach einem der Ansprüche 1 bis 5, wobei eine Verbindung, durch welche einer des
Source-Anschlusses und des Drain-Anschlusses der Zellentransistoren mit einer der Bitleitung, der Erdungsleitung
und der Leistungsverorgungsleitung verbunden ist, durch einen Kontakt (5) hergestellt ist, der zwischen einem ein-
es diffundierten Source-Bereichs (9) und eines diffundierten Drain-Bereichs (9) und einer auf einem Wannenbe-
reich (8) ausgebildeten Leitungsschicht (3) innerhalb einer integrierten Schaltung ausgebildet ist, in der der Zellen-
transistor ausgebildet ist. 30
7. Mehrwert-Masken-ROM nach einem der Ansprüche 1 bis 5, wobei eine Verbindung, durch welche einer des
Source-Anschlusses und des Drain-Anschlusses der Zellentransistoren mit der Erdungsleitung verbunden ist, durch
einen Kontakt (5) hergestellt ist, der zwischen einem Grenzabschnitt, der zwischen einem eines diffundierten
Source-Bereichs (9) und eines diffundierten Drain-Bereichs (9) und einer ersten Leitungsschicht (2) ausgebildet ist,
und einer zweiten Leitungsschicht (3), die auf der ersten Leitungsschicht ausgebildet ist, ausgebildet ist, und wobei
eine Verbindung, durch die einer des Source-Anschlusses und des Drain-Anschlusses des Zellentransistors mit der
Bitleitung verbunden ist, durch einen Kontakt (5) hergestellt ist, der zwischen einem des diffundierten Source-B-
ereichs (9) und des diffundierten Drain-Bereichs (9) und der zweiten Leitungsschicht (3) ausgebildet ist. 35
8. Mehrwert-Masken-ROM nach einem der Ansprüche 1 bis 5, wobei eine erste Leitungsschicht (2), die als die Er-
dungsleitung wirkt, bei einer Position, die benachbart zu einem eines diffundierten Source-Bereichs (9) und eines
diffundierten Drain-Bereichs (9) ist, die auf einem Wannenbereich (8) ausgebildet sind, innerhalb einer integrierten
Schaltung ausgebildet ist, in welcher der Zellentransistor ausgebildet ist, eine zweite Leitungsschicht (3) über einem
des diffundierten Source-Bereichs und des diffundierten Drain-Bereichs sowie über einem Grenzabschnitt, der zwi-
schen einem des diffundierten Source-Bereichs und des diffundierten Drain-Bereichs und der ersten Leitungs-
schicht ausgebildet ist, ausgebildet ist, und eine dritte Leitungsschicht (12), die als die Bitleitung wirkt, über der
zweiten Leitungsschicht ausgebildet ist, und wobei die zweite Leitungsschicht, die über einem des diffundierten
Source-Bereichs und des diffundierten Drain-Bereichs ausgebildet ist, mit der dritten Leitungsschicht verbunden
ist, während die zweite Leitungsschicht, die über dem Grenzabschnitt zwischen einem des diffundierten Source-B-
ereichs und des diffundierten Drain-Bereichs und der ersten Leitungsschicht ausgebildet ist, nicht mit der dritten Lei-
tungsschicht verbunden ist. 40
9. Leseverfahren für den Mehrwert-Masken-ROM nach Anspruch 4 oder 5, das die folgenden Schritte aufweist:
Vorladen der zwei Bitleitungen;
Aktivieren einer Wortleitung, die mit einem Gate-Anschluß eines Ziel-Zellentransistors verbunden ist, dessen ge-
speicherte Informationen auszulesen sind; 55
Erfassen von Potentialpegeln der zwei Bitleitungen; und
wenn beide der zwei Bitleitungen auf hohen Pegeln sind, Erden einer der zwei Bitleitungen, während ein Potential-
pegel der anderen der zwei Bitleitungen erfaßt wird. 60
10. Mehrwert-Masken-ROM nach einem der Ansprüche 1 bis 5, wobei einer des Source-Anschlusses und des
Drain-Anschlusses des Zellentransistors mit der Wortleitung verbunden ist, während der andere des Source-An-
schlusses und des Drain-Anschlusses mit einer der Bitleitungen verbunden ist.
11. Leseverfahren für einen Mehrwert-Masken-ROM nach einem der Ansprüche 1 bis 5, wobei einer des Source-
Anschlusses und des Drain-Anschlusses des Zellentransistors mit der Wortleitung verbunden ist, während ein ande-
rer des Source-Anschlusses und des Drain-Anschlusses mit einer der Bitleitungen verbunden ist, wobei das Lese-
verfahren die folgenden Schritte aufweist: 65
Vorladen einer vorgeschriebenen Bitleitung, während die andere Bitleitung, die eine andere als die vorgeschriebene

Bitleitung innerhalb der Vielzahl von Bitleitungen ist, geerdet wird;
 Stoppen eines Vorladens zur vorgeschriebene Bitleitung und eines Erdens zur anderen Bitleitung;
 Aktivieren einer Wortleitung, die mit einem Gate-Anschluß eines Ziel-Zellentransistors verbunden ist, dessen ge-
 speicherte Informationen auszulesen sind;
 5 Vergleichen eines Potentialpegels der vorgeschriebenen Bitleitung mit einem ersten Entscheidungspegel;
 Vergleichen eines Potentialpegels der anderen Bitleitung mit einem zweiten Entscheidungspegel; und
 Auslesen der gespeicherten Informationen des Ziel-Zellentransistors auf der Basis von Vergleichsergebnissen.
 12. Leseverfahren für einen Mehrwert-Masken-ROM nach einem der Ansprüche 1 bis 5, wobei einer des Source-
 Anschlusses und des Drain-Anschlusses des Zellentristors mit der Wortleitung verbunden ist, während ein ander-
 10 ver des Source-Anschlusses und des Drain-Anschlusses mit einer der Bitleitungen verbunden ist, wobei das Lese-
 verfahren die folgenden Schritte aufweist:
 Vorladen einer vorgeschriebenen Bitleitung, während eine andere Bitleitung, die eine andere als die vorgeschrie-
 bene Bitleitung innerhalb der Vielzahl von Bitleitungen ist, geerdet wird;
 Stoppen eines Vorladens zur vorgeschriebenen Bitleitung und eines Erdens zur anderen Bitleitung;
 15 Aktivieren einer Wortleitung, die mit einem Gate-Anschluß eines Ziel-Zellentransistors verbunden ist, dessen ge-
 speicherte Informationen auszulesen sind;
 Vergleichen eines Potentialpegels der vorgeschriebenen Bitleitung mit einem ersten Entscheidungspegel;
 Vergleichen eines Potentialpegels der anderen Bitleitung mit einem zweiten Entscheidungspegel; und
 Auslesen der gespeicherten Informationen des Ziel-Zellentransistors auf der Basis von Vergleichsergebnissen,
 20 wobei der erste Entscheidungspegel auf höher als ein Zwischenpegel zwischen einem Leistungsverorgungspoten-
 tial und einem Erdungspotential eingestellt ist, während der zweite Entscheidungspegel auf niedriger als der Zwi-
 schenpegel eingestellt ist.
 13. Mehrwert-Masken-ROM, der folgendes aufweist:
 eine Vielzahl von Wortleitungen (WL0-WLi), die zur Erstreckung in Richtungen von Zeilen verdrahtet sind;
 25 eine Vielzahl von Bitleitungen (D0-D7), die zur Erstreckung in Richtungen von Spalten verdrahtet sind;
 eine Vielzahl von Erdungsleitungen (G0-Gi), die zur Erstreckung in Richtungen von Zeilen verdrahtet sind;
 eine Vielzahl von Zellentristoren (Tr00-Tr16), die in einer Matrixform angeordnet sind, die aus den Zeilen und
 den Spalten in Verbindung mit den Wortleitungen und den Bitleitungen auf eine derartige Weise besteht, daß jeder
 30 der Zellentristoren durch eine Wortleitung, eine Erdungsleitung und wenigstens zwei Bitleitungen umgeben ist,
 und auf eine derartige Weise, daß Gate-Anschlüsse der Zellentristoren, die sich in einer selben Richtung einer
 Zeile erstrecken, mit einer selben Wortleitung verbunden sind, so daß gespeicherte Informationen, die in jedem Zel-
 lentristor gespeichert sind, durch einen Zustand einer Verbindung definiert sind, durch welche ein Source-An-
 schluß und ein Drain-Anschluß jedes Zellentristors mit der Wortleitung, der Erdungsleitung und den wenigstens
 35 zwei Bitleitungen verbunden oder von diesen getrennt ist; und
 eine Leseschaltung, die ein Vorladen zu einer der wenigstens zwei Bitleitungen und ein Herunterziehen zur anderen
 der wenigstens zwei Bitleitungen steuert und die Pegelschwankungen erfaßt, die auf den wenigstens zwei Bitleitun-
 gen auftreten, um gespeicherte Informationen jedes Zellentristors zu bestimmen, die auszulesen sind.
 14. Integrierte Schaltung für einen Mehrwert-Masken-ROM, die folgendes aufweist:
 ein Substrat (7);
 40 einen Wannenbereich (8), der auf dem Substrat ausgebildet ist;
 zwei n+-Bereiche (9), die jeweils als ein Source-Anschluß und ein Drain-Anschluß eines Zellentristors wirken
 und die auf dem Wannenbereich ausgebildet sind;
 eine Gate-Elektrode (11), die als Wortleitung wirkt und die bei einer Position zwischen den n+-Bereichen auf dem
 Wannenbereich ist;
 45 eine Erdungsleitung (2), die benachbart zu einem der n+-Bereiche auf dem Wannenbereich ist;
 zwei Bereiche einer ersten Metallschicht (3), von welchen einer über einem der n+-Bereiche ausgebildet ist und von
 welchen der andere über einem Grenzabschnitt zwischen der Erdungsleitung und seinem benachbarten n+-Bereich
 ausgebildet ist; und
 eine zweite Metallschicht (12), die als Bitleitung wirkt und die über den Bereichen der ersten Metallschicht ausge-
 50 bildet ist,
 wobei eine Verbindung zwischen einem des Source-Anschlusses und des Drain-Anschlusses des Zellentristors
 und der Erdungsleitung durch einen Kontakt (5) hergestellt ist, der zwischen dem Grenzabschnitt und seinem dar-
 überliegenden Bereich der ersten Metallschicht ausgebildet ist, während eine Verbindung zwischen einem des
 Source-Anschlusses und des Drain-Anschlusses des Zellentristors und der Bitleitung durch einen gestapelten
 55 Durchgang (6) hergestellt ist, der einen Kontakt (5) enthält, welcher Durchgang zwischen einem der n+-Bereiche
 und seinem darüberliegenden Bereich der ersten Metallschicht ausgebildet ist, und einen Durchgang (4), der zwi-
 schen dem Bereich der ersten Metallschicht und der zweiten Metallschicht ausgebildet ist.
 15. Leseverfahren für einen Mehrwert-Masken-ROM, der eine Vielzahl von Zellentristoren (Tr00-Tr30) ent-
 hält, von welchen jeder durch eine Wortleitung (WL), eine Erdungsleitung (G), eine erste Bitleitung (D0) und eine
 60 zweite Bitleitung (D1) umgeben ist, wobei das Verfahren die folgenden Schritte aufweist:
 Durchführen eines Vorladens zur ersten Bitleitung und eines Herunterziehens zur zweiten Bitleitung synchron zu ei-
 ner ersten Dauer eines Taktsignals (CLK), das auf einem ersten Pegel ist, so daß die erste Bitleitung in bezug auf den
 Pegel auf hoch erhöht wird, während die zweite Bitleitung in bezug auf den Pegel auf niedrig abgesenkt wird;
 Stoppen des Vorladens zur ersten Bitleitung und des Herunterziehens zur zweiten Bitleitung synchron zur zweiten
 65 Dauer des Taktsignals, das auf einem zweiten Pegel ist;
 Aktivieren der Wortleitung, die mit einem Ziel-Zellentristor verbunden ist, dessen gespeicherte Informationen
 auszulesen sind; und
 Erfassen eines Pegels der ersten Bitleitung und eines Pegels der zweiten Bitleitung zum Bestimmen der gespeicher-

ten Informationen des Ziel-Zellentransistors.

16. Leseverfahren für den Mehrwert-Masken-ROM nach Anspruch 15, wobei ein Gate-Anschluß des Zellentransistors mit der Wortleitung verbunden ist, die aktiviert ist, und wobei ein Zwei-Bit-Code (00) als die gespeicherten Informationen des Zellentransistors bestimmt werden, dessen Source-Anschluß und dessen Drain-Anschluß überhaupt nicht mit irgendeiner der Erdungsleitung und der Bitleitungen verbunden sind, ein Zwei-Bit-Code (01) als die gespeicherten Informationen des Zellentransistors bestimmt werden, dessen Source-Anschluß und dessen Drain-Anschluß jeweils mit der ersten Bitleitung und der Erdungsleitung verbunden sind, ein Zwei-Bit-Code (10) als die gespeicherten Informationen des Zellentransistors bestimmt werden, dessen Source-Anschluß und dessen Drain-Anschluß jeweils mit der Erdungsleitung und der zweiten Bitleitung verbunden sind, und ein Zwei-Bit-Code (11) als die gespeicherten Informationen des Zellentransistors bestimmt werden, dessen Source-Anschluß und dessen Drain-Anschluß jeweils mit der ersten und der zweiten Bitleitung verbunden sind.

17. Leseverfahren für einen Mehrwert-Masken-ROM, der eine Vielzahl von Zellentransistoren (Tr00–Tr30) enthält, von welchen jeder durch eine Wortleitung (WL), eine Erdungsleitung (G), eine erste Bitleitung (D0) und eine zweite Bitleitung (D1) umgeben ist, wobei das Verfahren die folgenden Schritte aufweist:

Durchführen eines Vorladens zur ersten Bitleitung und eines Herunterziehens zur zweiten Bitleitung synchron zu einer ersten Dauer eines Taktsignals (CLK), das auf einem ersten Pegel ist, so daß die erste Bitleitung in bezug auf den Pegel auf hoch erhöht wird, während die zweite Bitleitung in bezug auf den Pegel auf niedrig abgesenkt wird;

Stoppen des Vorladens zur ersten Bitleitung und des Herunterziehens zur zweiten Bitleitung synchron zu einer zweiten Dauer des Taktsignals, das auf einem zweiten Pegel ist;

Aktivieren der Wortleitung, die mit einem Ziel-Zellentransistor verbunden ist, dessen gespeicherte Informationen auszulesen sind;

Erfassen eines Pegels der ersten Bitleitung, die mit einem ersten Entscheidungspegel verglichen wird, um einen ersten Wert zu bestimmen, der bei der ersten Dauer des Taktsignals gehalten wird; und

Erfassen eines Pegels der zweiten Bitleitung, der mit einem zweiten Entscheidungspegel verglichen wird, um einen zweiten Wert zu bestimmen, der bei der ersten Dauer des Taktsignals gehalten wird,

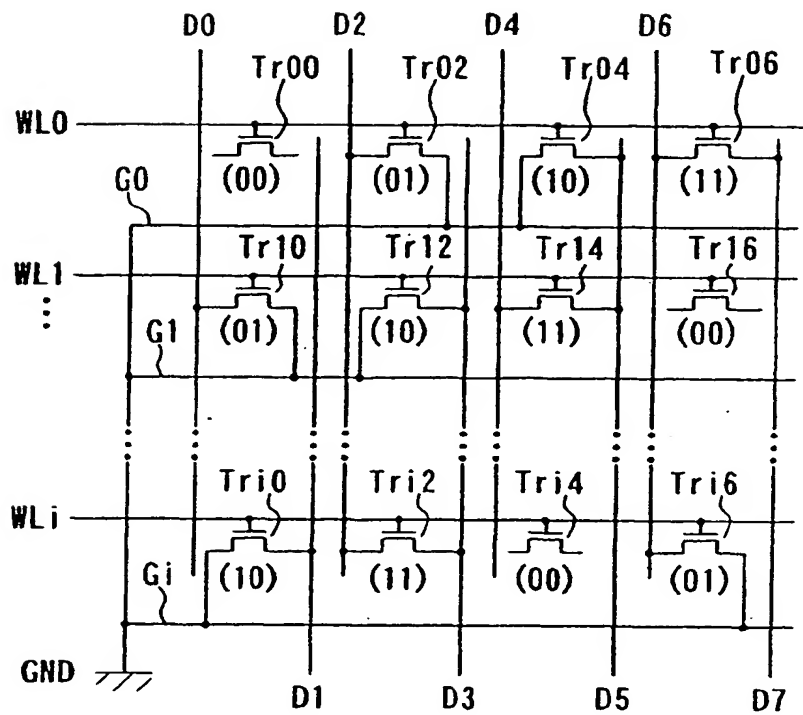
wobei die gespeicherten Informationen des Ziel-Zellentransistors durch eine Kombination des ersten Werts und des zweiten Werts definiert werden.

18. Leseverfahren für den Mehrwert-Masken-ROM nach Anspruch 17, wobei ein Gate-Anschluß des Zellentransistors mit der Wortleitung verbunden ist, die gerade aktiviert ist, und wobei ein Zwei-Bit-Code (00) als die gespeicherten Informationen des Zellentransistors bestimmt werden, dessen Source-Anschluß und dessen Drain-Anschluß jeweils mit der ersten Bitleitung und der Erdungsleitung verbunden sind, ein Zwei-Bit-Code (01) als die gespeicherten Informationen des Zellentransistors bestimmt werden, dessen Source-Anschluß und dessen Drain-Anschluß überhaupt nicht mit der Erdungsleitung und den Bitleitungen verbunden sind, ein Zwei-Bit-Code (10) als die gespeicherten Informationen des Zellentransistors bestimmt werden, dessen Source-Anschluß und dessen Drain-Anschluß jeweils mit der ersten und der zweiten Bitleitung verbunden sind, und ein Zwei-Bit-Code (11) als die gespeicherten Informationen des Zellentransistors bestimmt werden, dessen Source-Anschluß und dessen Drain-Anschluß jeweils mit der Wortleitung und der zweiten Bitleitung verbunden sind.

Hierzu 18 Seite(n) Zeichnungen

- Leerseite -

FIG. 1



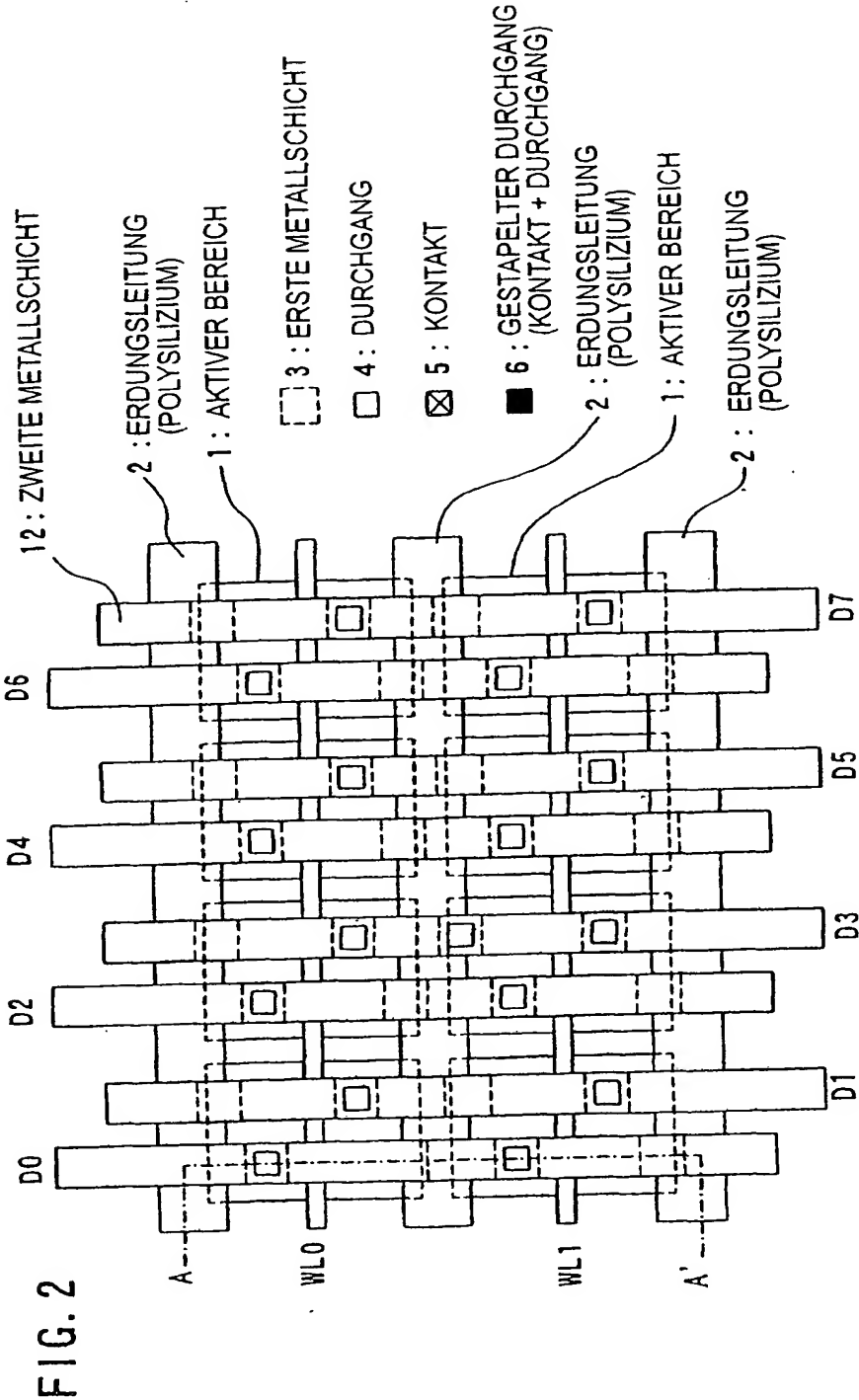
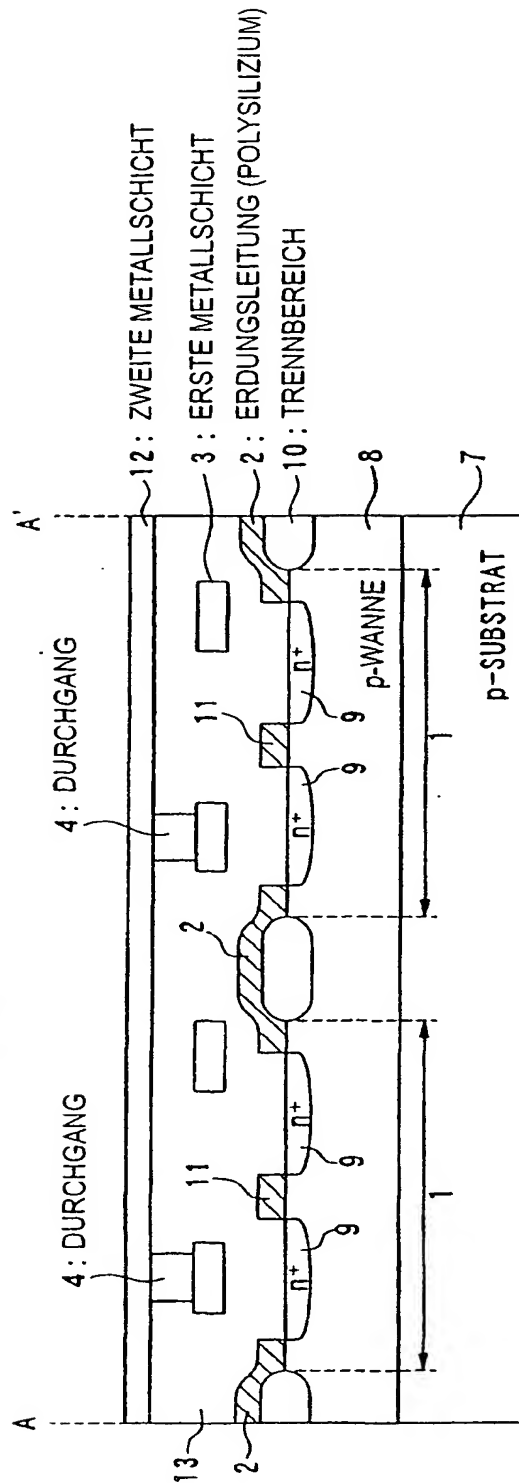


FIG. 3



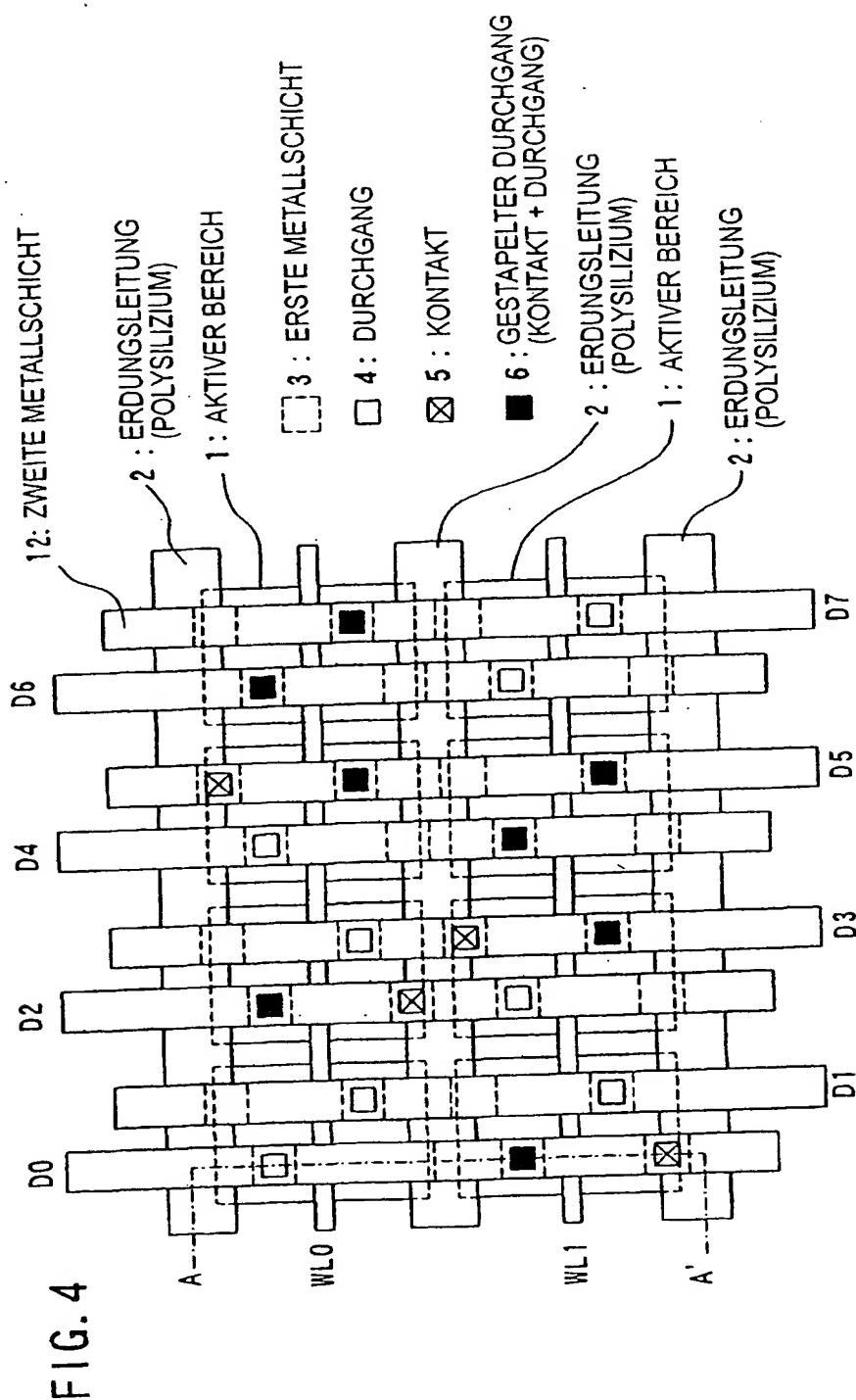
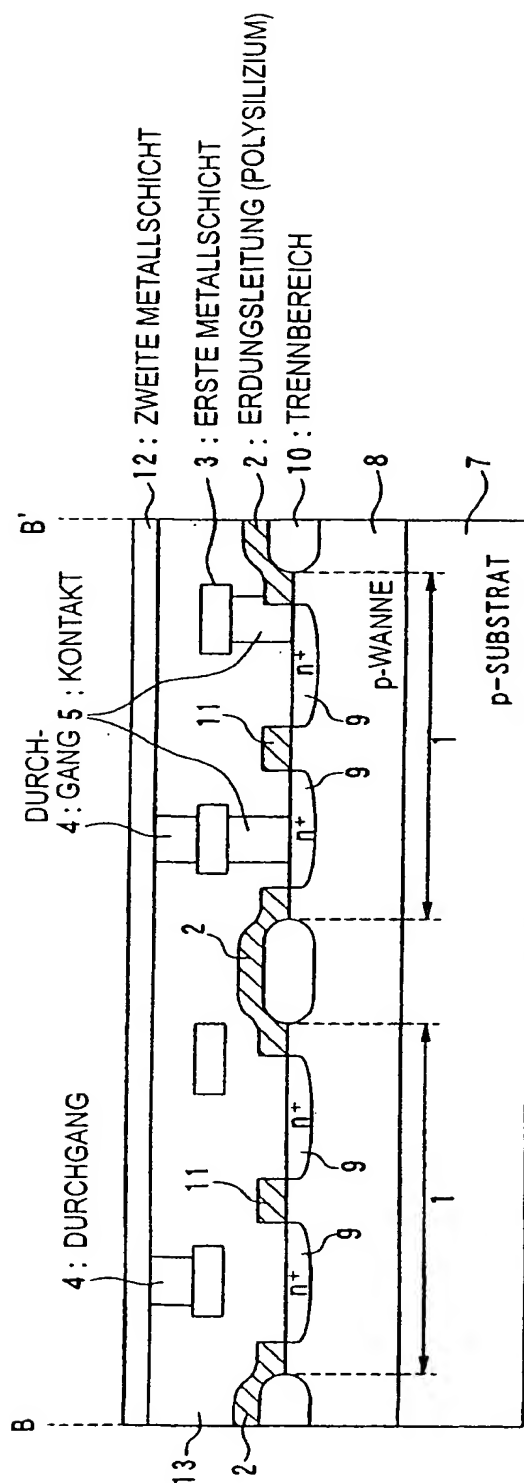


FIG. 5



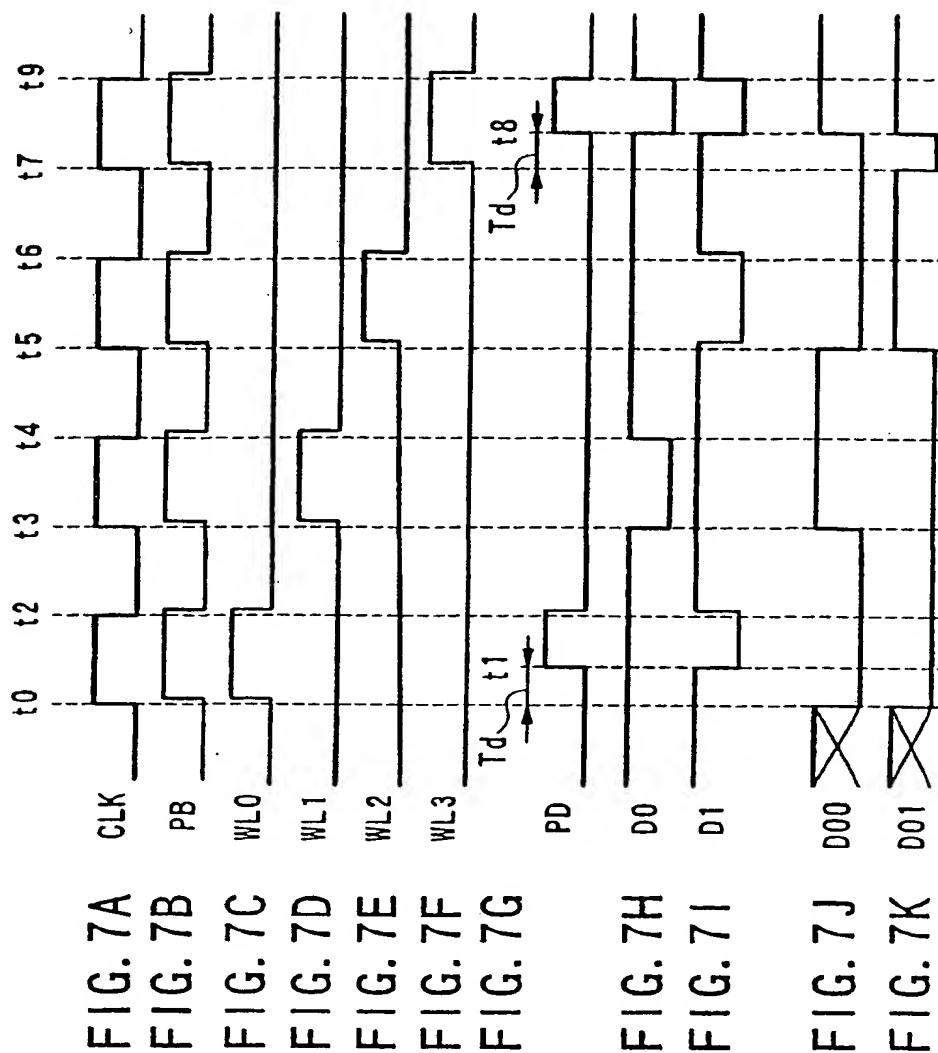


FIG. 8

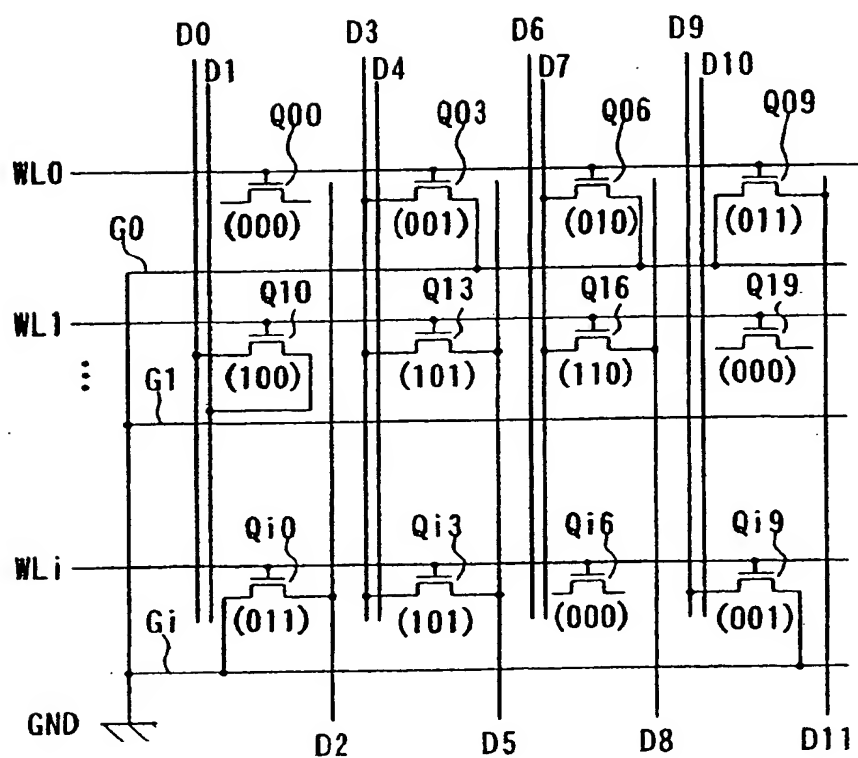


FIG. 9

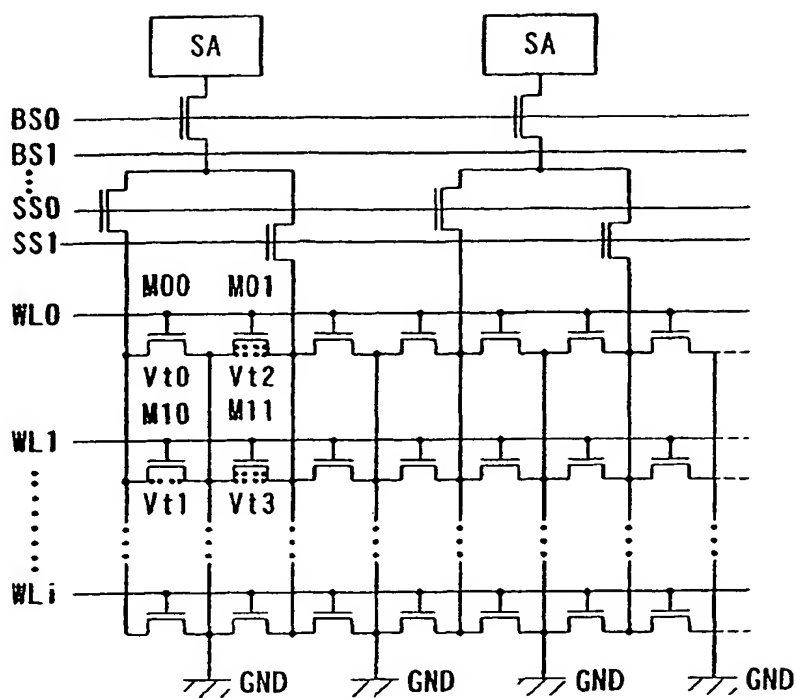


FIG. 10

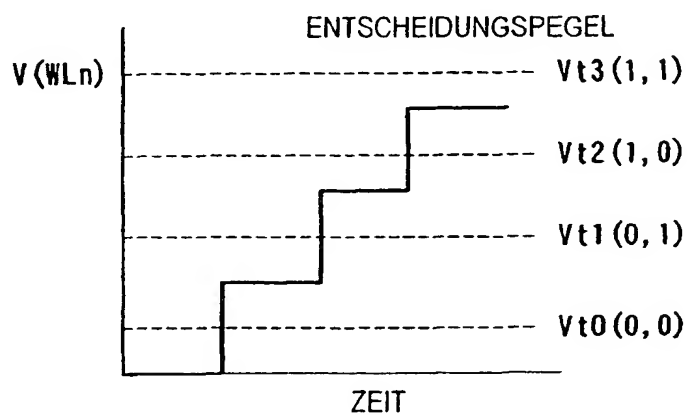
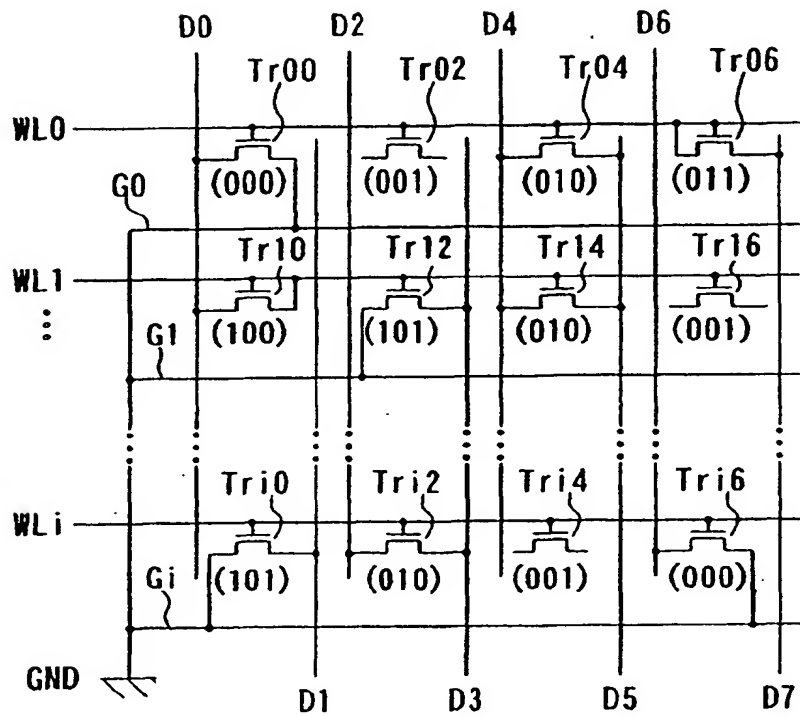


FIG. 11



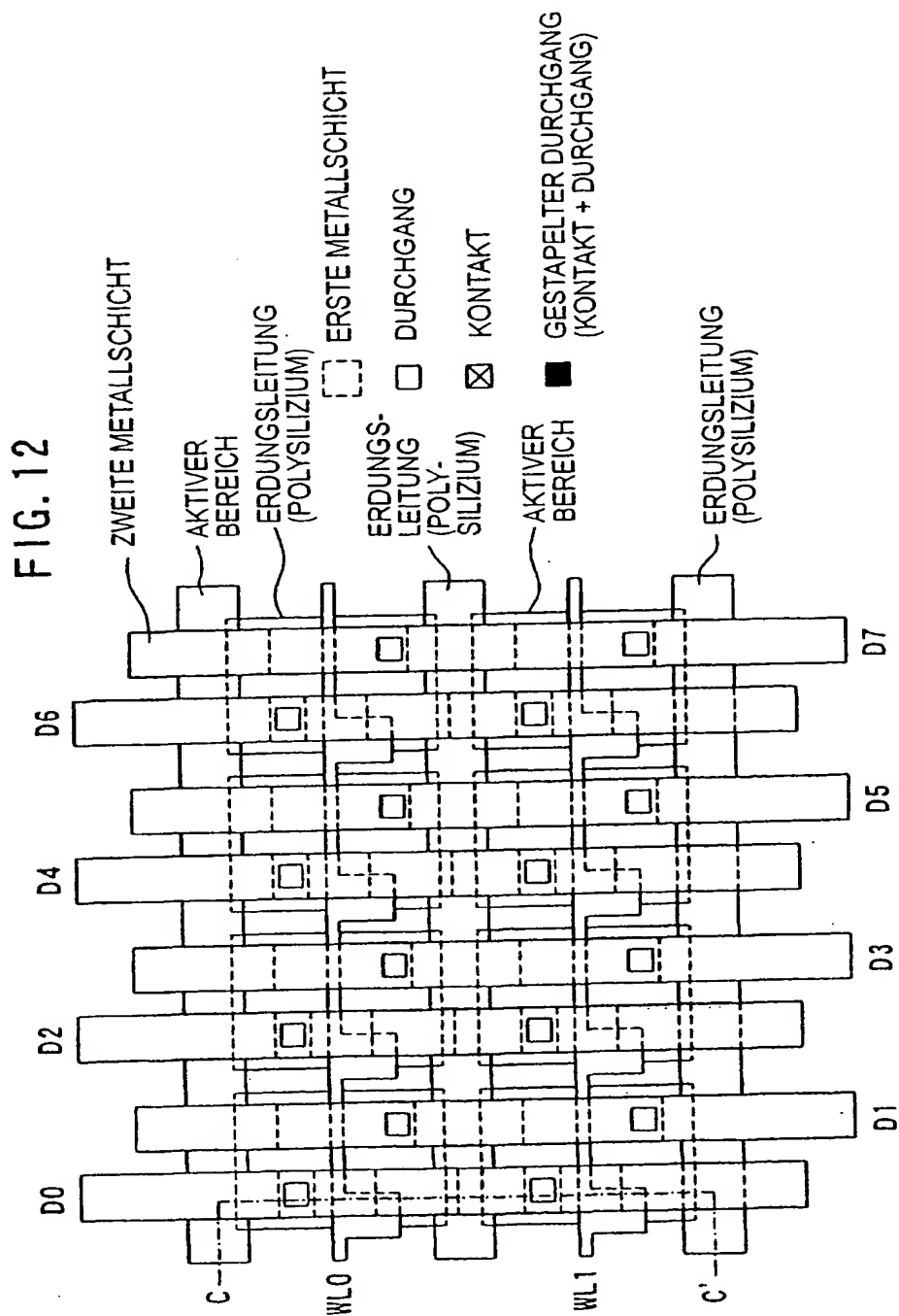


FIG. 13

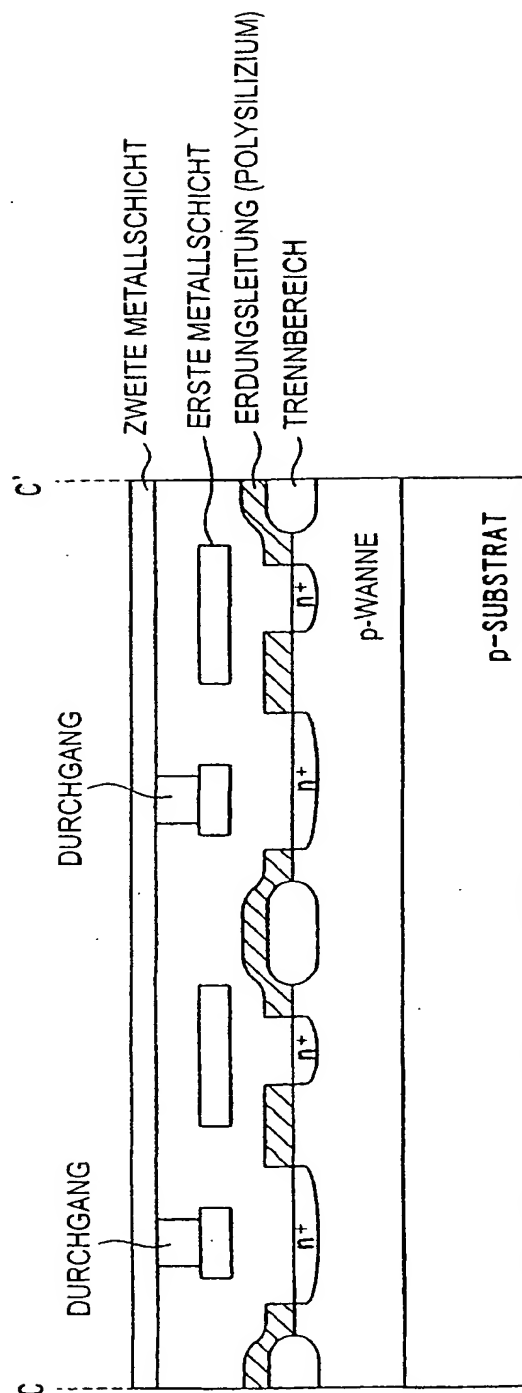
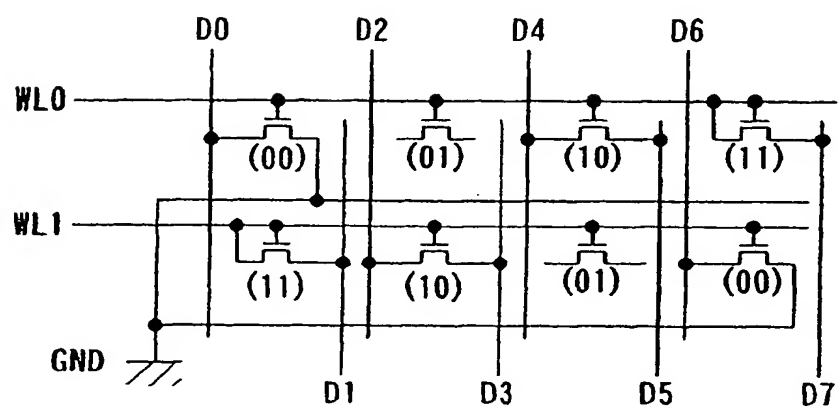
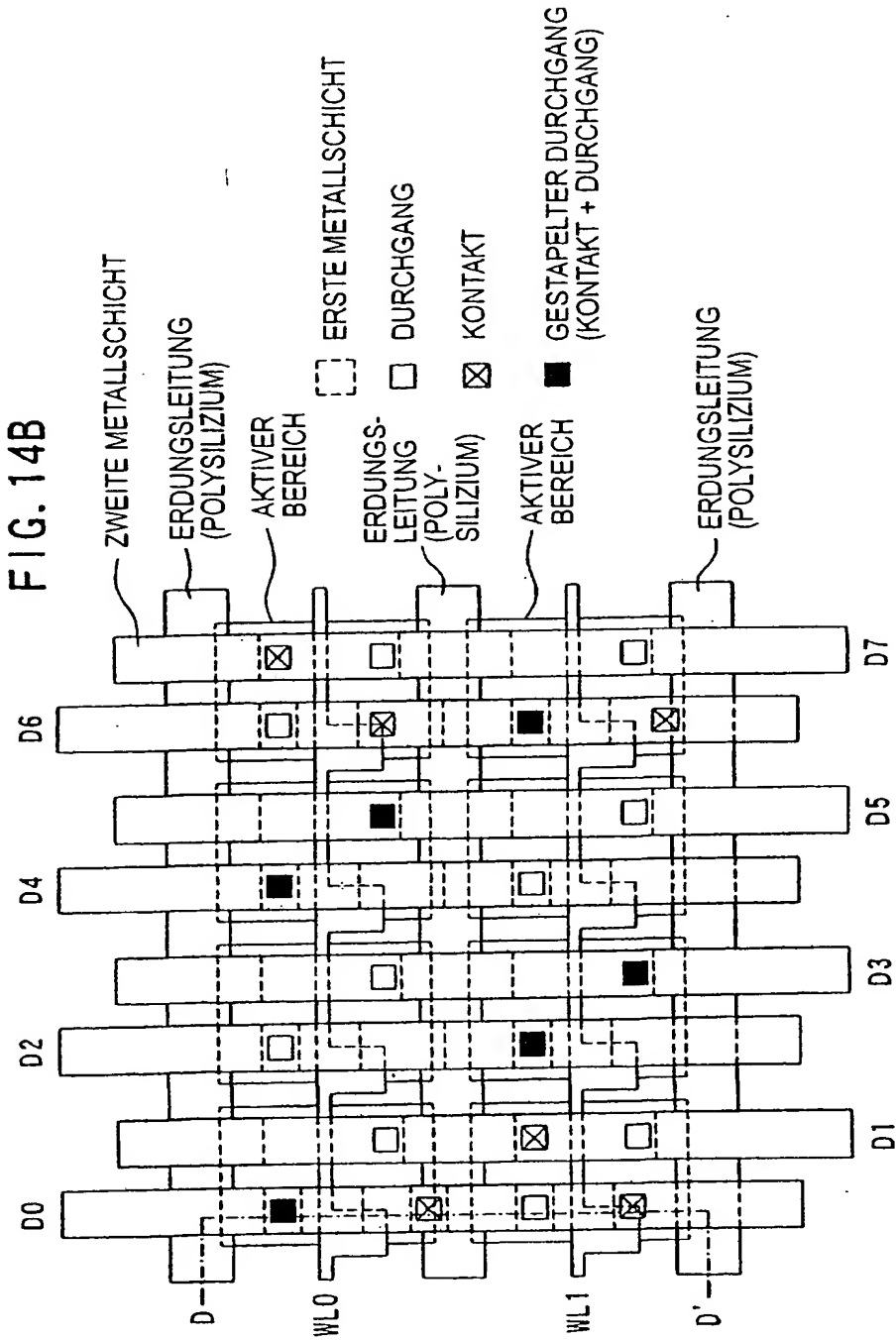


FIG. 14A





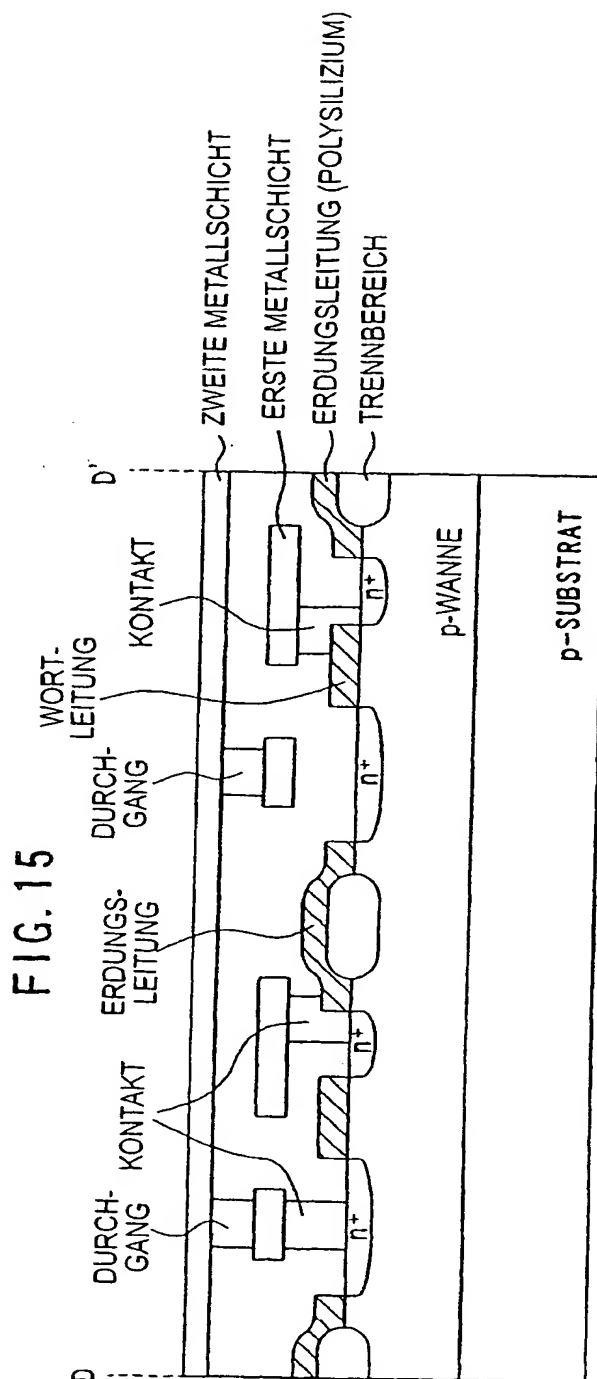
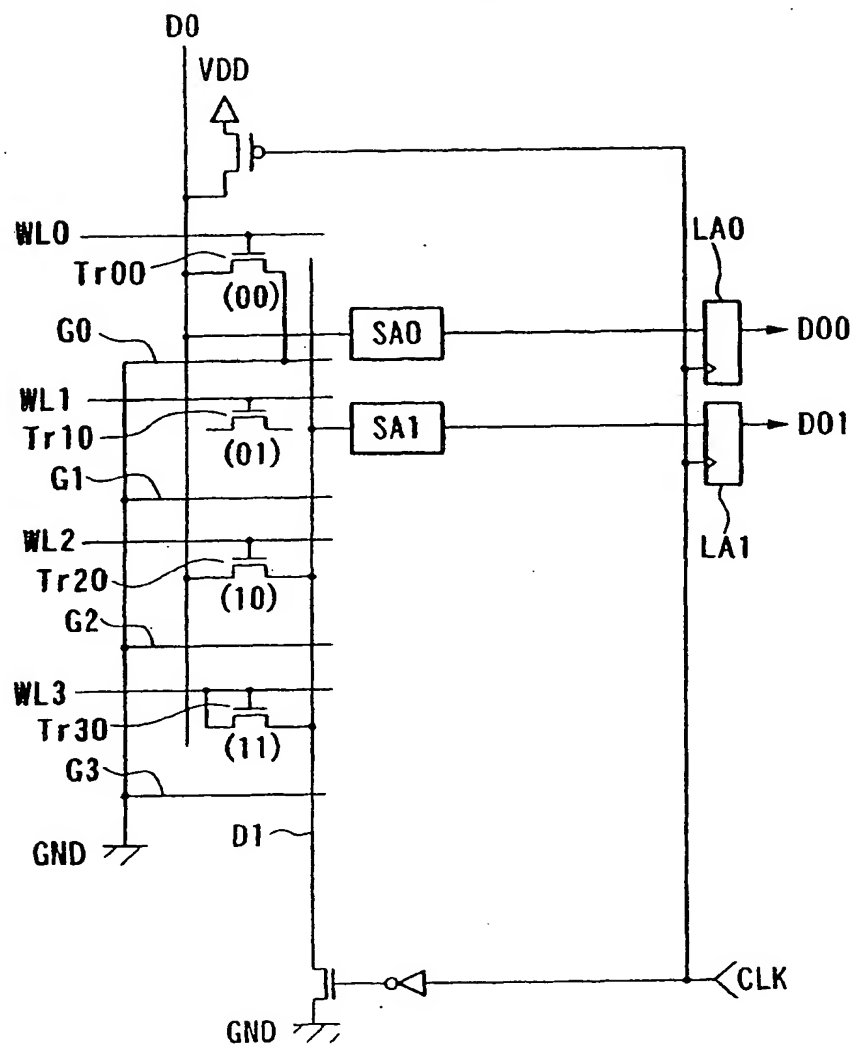


FIG. 16



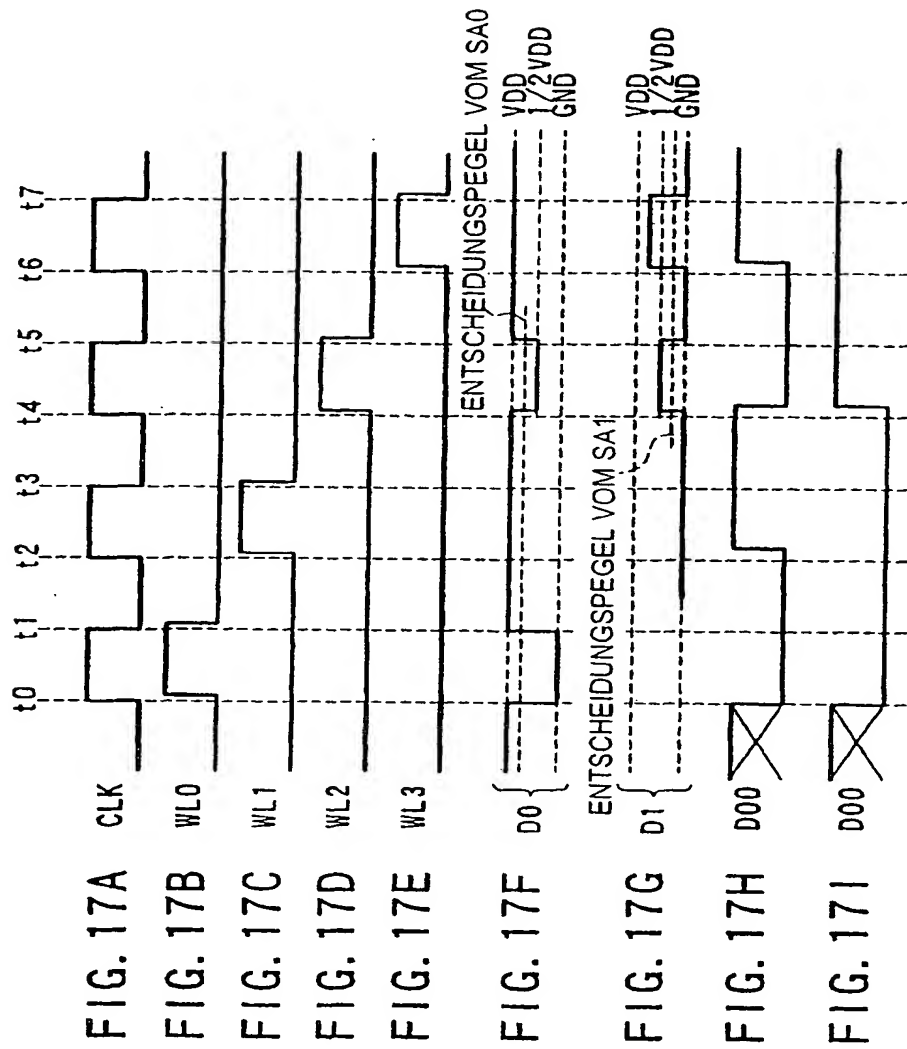


FIG. 18

